



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年    8 月 3 0 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 2 - 2 5 4 6 9 5  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 2 5 4 6 9 5 ]

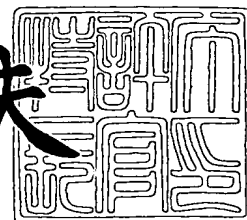
出      願      人                      カシオ計算機株式会社  
Applicant(s):

特許庁  
印

2 0 0 4 年    3 月    9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 1 7 9 5 0

【書類名】 特許願

【整理番号】 02-0845-00

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/60

【発明者】

【住所又は居所】 東京都青梅市今井 3 丁目 1 0 番地 6  
カシオ計算機株式会社青梅事業所内

【氏名】 定別当 裕康

【特許出願人】

【識別番号】 000001443

【氏名又は名称】 カシオ計算機株式会社

【代理人】

【識別番号】 100073221

【弁理士】

【氏名又は名称】 花輪 義男

【手数料の表示】

【予納台帳番号】 057277

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0015435

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に設けられた複数の再配線および該各再配線の上に設けられた柱状電極を有する半導体構成体と、該半導体構成体の側方に設けられた棒状の埋込材と、前記半導体構成体の柱状電極を除く上面全体に設けられた絶縁膜と、該絶縁膜および前記埋込材上に、前記柱状電極に接続されて設けられ且つ接続パッド部を有する少なくとも一層の上層再配線とを備え、前記上層再配線の中、最上層の上層再配線の少なくとも一部の接続パッド部は前記埋込材上に配置されていることを特徴とする半導体装置。

【請求項 2】 各々が、半導体基板と、該半導体基板上に設けられた複数の再配線および該各再配線上に設けられた柱状電極を有し、相互に離間して配置された複数の半導体構成体と、前記半導体構成体の間または前記各半導体構成体の側方に設けられた埋込材と、前記各半導体構成体の柱状電極を除く上面全体に設けられた絶縁膜と、該絶縁膜および前記埋込材上に、前記柱状電極に接続されて設けられ且つ接続パッド部を有する少なくとも一層の上層再配線とを備え、前記上層再配線の中、最上層の上層再配線の少なくとも一部の接続パッド部は前記埋込材上に配置されていることを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 に記載の発明において、前記半導体構成体と前記埋込材との間に別の絶縁膜が設けられていることを特徴とする半導体装置。

【請求項 4】 請求項 1 または 2 に記載の発明において、前記埋込材の下面は前記半導体構成体の下面とほぼ同一の平面上に配置されていることを特徴とする半導体装置。

【請求項 5】 請求項 1 または 2 に記載の発明において、前記埋込材の上面は前記半導体構成体の上面とほぼ同一の平面上に配置されていることを特徴とする半導体装置。

【請求項 6】 請求項 1 または 2 に記載の発明において、前記埋込材の上面は前記半導体構成体の上面と異なる高さ位置に配置されていることを特徴とする

半導体装置。

【請求項 7】 請求項 1 または 2 に記載の発明において、前記半導体構成体および前記埋込材はベース板上に設けられていることを特徴とする半導体装置。

【請求項 8】 請求項 1 または 2 に記載の発明において、前記上層再配線はメッキ層を含むことを特徴とする半導体装置。

【請求項 9】 請求項 1 または 2 に記載の発明において、前記絶縁膜は複数層であり、その層間に、前記半導体構成体の柱状電極と前記上層再配線とを接続する層間再配線が設けられていることを特徴とする半導体装置。

【請求項 10】 請求項 1 または 2 に記載の発明において、前記上層再配線を含む前記絶縁膜の上面に前記上層再配線の接続パッド部の少なくとも一部を除く部分に最上層絶縁膜が設けられていることを特徴とする半導体装置。

【請求項 11】 請求項 10 に記載の発明において、前記上層再配線の接続パッド部上に突起状の接続端子が設けられていることを特徴とする半導体装置。

【請求項 12】 請求項 11 に記載の発明において、前記突起状の接続端子は半田ボールであることを特徴とする半導体装置。

【請求項 13】 請求項 1 または 2 に記載の発明において、前記上層再配線の一部の一端部は前記埋込材の端面まで延ばされ、この端面近傍における部分は接続端子となっていることを特徴とする半導体装置。

【請求項 14】 ベース板上に、少なくとも一方向に所定間隔で埋込材を配置する工程と、

各々が、複数の再配線および該各再配線上に設けられた柱状電極を有する複数の半導体構成体を、前記ベース板上の一方向において、前記埋込材が前記半導体構成体の所定個数毎にその側方に介在されるように配置する工程と、

接続パッド部を有し且ついずれかの前記半導体構成体の対応する前記柱状電極に接続される上層再配線を、少なくともいずれかの前記上層再配線の接続パッド部が前記埋込材上に配置されるように形成する工程と、

前記半導体構成体間における前記埋込材を切断して少なくともいずれかの前記上層再配線の接続パッド部が前記半導体構成体の側方に介在された前記埋込材上に配置された前記半導体構成体を少なくとも 1 つ有する半導体装置を複数個得る

工程とを有することを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 14 に記載の発明において、前記半導体構成体と前記埋込材との間に別の絶縁膜を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 16】 請求項 14 に記載の発明において、前記埋込材を切断する工程は、前記半導体構成体が複数個含まれるように切断することを特徴とする半導体装置の製造方法。

【請求項 17】 請求項 16 に記載の発明において、前記絶縁膜は複数層であり、その層間に、前記各半導体構成体の柱状電極とそれに対応する前記上層再配線とを接続する複数組の層間再配線を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 18】 請求項 16 に記載の発明において、前記上層再配線を含む前記絶縁膜の上面において前記上層再配線の接続パッド部を除く部分に最上層絶縁膜を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 19】 請求項 18 に記載の発明において、前記上層再配線の接続パッド部上に突起状の接続端子を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 20】 請求項 16 に記載の発明において、前記埋込材を切断する工程は前記埋込材を切断するとともに前記ベース板を切断し、前記半導体装置としてベース板を備えたものを得ることを特徴とする半導体装置の製造方法。

【請求項 21】 請求項 20 に記載の発明において、切断前の前記ベース板下に別のベース板を配置し、前記ベース板を切断した後に、前記別のベース板を取り除く工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

例えばBGA(ball grid array)と呼ばれる半導体装置には、LSIなどからなる半導体チップを該半導体チップのサイズよりもやや大きいサイズの中継基板(インターポーザ)の上面中央部に搭載し、中継基板の下面に半田ボールによる接続端子をマトリクス状に配置したものがある。ここで、中継基板は、半導体チップ上に形成された外部接続電極を他の回路基板にボンディングする際、接続強度および信頼性を得るために、再配線によりそのサイズおよびピッチを充分大きなものとするために用いられる。

#### 【0003】

図51は従来のこのような半導体装置の一例の断面図を示したものである。半導体チップ1は、シリコン基板2の下面周辺部に銅などからなる複数のバンプ電極3が設けられた構造となっている。

#### 【0004】

中継基板4は、サイズが半導体チップ1のシリコン基板2のサイズよりもやや大きいベースフィルム5を備えている。ベースフィルム5の上面には、半導体チップ1のバンプ電極3に接続される再配線6が設けられている。

#### 【0005】

再配線6は、半導体チップ1のバンプ電極3に対応して設けられた第1の接続パッド7と、マトリクス状に設けられた第2の接続パッド8と、第1と第2の接続パッド7、8を接続する引き回し線9とからなっている。第2の接続パッド8の中央部に対応する部分におけるベースフィルム5には円孔10が設けられている。

#### 【0006】

そして、半導体チップ1は中継基板4の上面中央部に異方性導電接着剤11を介して搭載されている。異方性導電接着剤11は、熱硬化性樹脂12中に多数の導電性粒子13を含有させたものからなっている。

#### 【0007】

半導体チップ1を中継基板4上に搭載する場合には、まず、中継基板4の上面中央部にシート状の異方性導電接着剤11を介して半導体チップ1を位置合わせしてただ単に載置する。

**【0008】**

次に、熱硬化性樹脂 12 が硬化する温度にて所定の圧力を加えてボンディングする。すると、バンプ電極 3 が熱硬化性樹脂 12 を押し退けて第 1 の接続パッド 7 の上面に導電性粒子 13 を介して導電接続され、且つ、半導体チップ 1 の下面が中継基板 4 の上面に熱硬化性樹脂 12 を介して接着される。

**【0009】**

次に、半導体チップ 1 を含む中継基板 4 の上面全体にエポキシ系樹脂からなる樹脂封止膜 14 を形成する。次に、円孔 10 内およびその下方に半田ボール 15 を第 2 の接続パッド 8 に接続させて形成する。この場合、第 2 の接続パッド 8 はマトリクス状に配置されているため、半田ボール 15 もマトリクス状に配置される。

**【0010】**

ここで、半田ボール 15 のサイズは半導体チップ 1 のバンプ電極 3 のサイズより大きく、また、各半田ボール 15 相互の接触を避けるため、その配置間隔をバンプ電極 3 の配置間隔より大きくする必要がある。そこで、半導体チップ 1 のバンプ電極 3 の数が増大した場合、各半田ボール 15 に必要な配置間隔を得るため、その配置領域を半導体チップ 1 のサイズより大きくすることが必要となり、そのために、中継基板 4 のサイズを半導体チップ 1 のサイズよりもやや大きくしている。したがって、マトリクス状に配置された半田ボール 15 のうち、周辺部の半田ボール 15 は半導体チップ 1 の周囲に配置されている。

**【0011】****【発明が解決しようとする課題】**

ところで、上記従来の半導体装置では、再配線 6 が形成された中継基板 4 を用い、位置合わせした後のボンディングにより、半導体チップ 1 のバンプ電極 3 の下面を中継基板 4 の再配線 6 の第 1 の接続パッド 7 の上面に異方性導電接着剤 11 の導電性粒子 13 を介して導電接続する構成としているので、半導体チップ 1 のバンプ電極 3 の数が増大し、バンプ電極 3 のサイズおよび配置間隔が小さくなると、位置合わせが極めて大変であるという問題があった。この場合、半導体チップ 1 のサイズを大きくすれば、バンプ電極 3 のサイズおよび配置間隔を大きく

することができることは当然であるが、そのようにすると、ウエハ状態からの半導体チップの取り数が激減し、極めて高価なものとなってしまふ。また、半導体チップ 1 を 1 つずつ中継基板 4 上にボンディングして搭載しなければならず、製造工程が煩雑であるという問題があった。このようなことは、半導体チップを複数個備えたマルチチップモジュール型の半導体装置の場合も同様である。

#### 【 0 0 1 2 】

そこで、この発明は、ボンディングによることなく外部接続電極の配置間隔を大きくすることができる半導体装置およびその製造方法を提供することを目的とする。

また、この発明は、複数の半導体装置を一括して製造することができる半導体装置の製造方法を提供することを目的とする。

#### 【 0 0 1 3 】

##### 【課題を解決するための手段】

請求項 1 に記載の発明は、半導体基板上に設けられた複数の再配線および該各再配線の上に設けられた柱状電極を有する半導体構成体と、該半導体構成体の側方に設けられた棒状の埋込材と、前記半導体構成体の柱状電極を除く上面全体に設けられた絶縁膜と、該絶縁膜および前記埋込材上に、前記柱状電極に接続されて設けられ且つ接続パッド部を有する少なくとも一層の上層再配線とを備え、前記上層再配線の中、最上層の上層再配線の少なくとも一部の接続パッド部は前記埋込材上に配置されていることを特徴とするものである。

請求項 2 に記載の発明は、各々が、半導体基板と、該半導体基板上に設けられた複数の再配線および該各再配線上に設けられた柱状電極を有し、相互に離間して配置された複数の半導体構成体と、前記半導体構成体の間または前記各半導体構成体の側方に設けられた埋込材と、前記各半導体構成体の柱状電極を除く上面全体に設けられた絶縁膜と、該絶縁膜および前記埋込材上に、前記柱状電極に接続されて設けられ且つ接続パッド部を有する少なくとも一層の上層再配線とを備え、前記上層再配線の中、最上層の上層再配線の少なくとも一部の接続パッド部は前記埋込材上に配置されていることを特徴とするものである。

請求項 3 に記載の発明は、請求項 1 または 2 に記載の発明において、前記半導



体構成体と前記埋込材との間に別の絶縁膜が設けられていることを特徴とするものである。

請求項 4 に記載の発明は、請求項 1 または 2 に記載の発明において、前記埋込材の下面は前記半導体構成体の下面とほぼ同一の平面上に配置されていることを特徴とするものである。

請求項 5 に記載の発明は、請求項 1 または 2 に記載の発明において、前記埋込材の上面は前記半導体構成体の上面とほぼ同一の平面上に配置されていることを特徴とするものである。

請求項 6 に記載の発明は、請求項 1 または 2 に記載の発明において、前記埋込材の上面は前記半導体構成体の上面と異なる高さ位置に配置されていることを特徴とするものである。

請求項 7 に記載の発明は、請求項 1 または 2 に記載の発明において、前記半導体構成体および前記埋込材はベース板上に設けられていることを特徴とするものである。

請求項 8 に記載の発明は、請求項 1 または 2 に記載の発明において、前記上層再配線はメッキ層を含むことを特徴とするものである。

請求項 9 に記載の発明は、請求項 1 または 2 に記載の発明において、前記絶縁膜は複数層であり、その層間に、前記半導体構成体の柱状電極と前記上層再配線とを接続する層間再配線が設けられていることを特徴とするものである。

請求項 10 に記載の発明は、請求項 1 または 2 に記載の発明において、前記上層再配線を含む前記絶縁膜の上面に前記上層再配線の接続パッド部の少なくとも一部を除く部分に最上層絶縁膜が設けられていることを特徴とするものである。

請求項 11 に記載の発明は、請求項 10 に記載の発明において、前記上層再配線の接続パッド部上に突起状の接続端子が設けられていることを特徴とするものである。

請求項 12 に記載の発明は、請求項 11 に記載の発明において、前記突起状の接続端子は半田ボールであることを特徴とするものである。

請求項 13 に記載の発明は、請求項 1 または 2 に記載の発明において、前記上層再配線の一部の一端部は前記埋込材の端面まで延ばされ、この端面近傍におけ

る部分は接続端子となっていることを特徴とするものである。

請求項 14 に記載の発明は、ベース板上に、少なくとも一方向に所定間隔で埋込材を配置する工程と、各々が、複数の再配線および該各再配線上に設けられた柱状電極を有する複数の半導体構成体を、前記ベース板上の一方向において、前記埋込材が前記半導体構成体の所定個数毎にその側方に介在されるように配置する工程と、接続パッド部を有し且ついずれかの前記半導体構成体の対応する前記柱状電極に接続される上層再配線を、少なくともいずれかの前記上層再配線の接続パッド部が前記埋込材上に配置されるように形成する工程と、前記半導体構成体間における前記埋込材を切断して少なくともいずれかの前記上層再配線の接続パッド部が前記半導体構成体の側方に介在された前記埋込材上に配置された前記半導体構成体を少なくとも 1 つ有する半導体装置を複数個得る工程とを有することを特徴とするものである。

請求項 15 に記載の発明は、請求項 14 に記載の発明において、前記半導体構成体と前記埋込材との間に別の絶縁膜を形成する工程を有することを特徴とするものである。

請求項 16 に記載の発明は、請求項 14 に記載の発明において、前記埋込材を切断する工程は、前記半導体構成体が複数個含まれるように切断することを特徴とするものである。

請求項 17 に記載の発明は、請求項 16 に記載の発明において、前記絶縁膜は複数層であり、その層間に、前記各半導体構成体の柱状電極とそれに対応する前記上層再配線とを接続する複数組の層間再配線を形成する工程を有することを特徴とするものである。

請求項 18 に記載の発明は、請求項 16 に記載の発明において、前記上層再配線を含む前記絶縁膜の上面において前記上層再配線の接続パッド部を除く部分に最上層絶縁膜を形成する工程を有することを特徴とするものである。

請求項 19 に記載の発明は、請求項 18 に記載の発明において、前記上層再配線の接続パッド部上に突起状の接続端子を形成する工程を有することを特徴とするものである。

請求項 20 に記載の発明は、請求項 16 に記載の発明において、前記埋込材を

切断する工程は前記埋込材を切断するとともに前記ベース板を切断し、前記半導体装置としてベース板を備えたものを得ることを特徴とするものである。

請求項 21 に記載の発明は、請求項 20 に記載の発明において、切断前の前記ベース板下に別のベース板を配置し、前記ベース板を切断した後に、前記別のベース板を取り除く工程を有することを特徴とするものである。

そして、この発明によれば、半導体基板上に再配線および柱状電極を有する複数または複数組の半導体構成体および埋込材をベース板上に配置し、半導体構成体上の絶縁膜および埋込材上に上層再配線を半導体構成体の柱状電極に接続させて形成し、埋込材を少なくとも切断することにより、半導体構成体を 1 つまたは 1 組有するとともに埋込材を有し、且つ、埋込材上に上層再配線の一部が配置されてなる半導体装置を複数個一括して得ることができ、従来のようなボンディング工程がなく、したがってボンディングによることなく外部接続電極の配置間隔を大きくすることができ、また複数または複数組の半導体構成体に対して絶縁膜および上層再配線の形成を一括して行うことができるので、製造工程を簡略化することができる。

#### 【0014】

##### 【発明の実施の形態】

##### （第 1 実施形態）

図 1 はこの発明の第 1 実施形態としての半導体装置の断面図を示したものである。この半導体装置は、シリコン、ガラス、セラミックス、樹脂、金属などからなる平面正形状のベース板 21 を備えている。ベース板 21 の上面には、接着剤、粘着シート、両面接着テープなどからなる接着層 22 が設けられている。

#### 【0015】

接着層 22 の上面中央部には、ベース板 21 のサイズよりもやや小さいサイズの平面正形状の半導体構成体 23 の下面が接着されている。この場合、半導体構成体 23 は、CSP (chip size package) と呼ばれるものであり、接着層 22 の上面中央部に接着されたシリコン基板（半導体基板）24 を備えている。シリコン基板 24 の上面周辺部にはアルミニウムなどからなる複数の接続パッド 25 が設けられ、接続パッド 25 の中央部を除くシリコン基板 24 の上面には酸化シ

リコンなどからなる絶縁膜 26 が設けられている。

#### 【0016】

シリコン基板 24 上に接続パッド 25 および絶縁膜 26 を設けてなるものは、通常、ウエハ状態の半導体基板をダイシングして個々のチップとなした場合に得られるものである。しかしながら、この発明では、ウエハ状態の半導体基板上に接続パッド 25 および絶縁膜 26 が形成された状態では、ダイシングを行わず、以下に説明するように、再配線および柱状電極を有する半導体構成体 23 が得られる状態でウエハ状態の半導体基板をダイシングする。まず、半導体構成体 23 の構成について説明する。

#### 【0017】

シリコン基板 24 上に形成された絶縁膜 26 上にはポリイミドなどからなる保護膜 27 が設けられている。接続パッド 25 の中央部は、絶縁膜 26 および保護膜 27 に形成された開口部 28 を介して露出されている。開口部 28 を介して露出された接続パッド 25 の上面から保護膜 27 の上面の所定の箇所にかけて下地金属層 31a および該下地金属層 31a 上に設けられた上層金属層 31b からなる再配線 31 が設けられている。

#### 【0018】

再配線 31 の接続パッド部上面には銅からなる柱状電極 32 が設けられている。再配線 31 を含む保護膜 27 の上面にはエポキシ系樹脂などからなる封止膜（絶縁膜）33 がその上面が柱状電極 32 の上面と面一となるように設けられている。このように、半導体構成体 23 は、シリコン基板 24、接続パッド 25、絶縁膜 26 を含み、さらに、保護膜 27、再配線 31、柱状電極 32、封止膜 33 を含んで構成されている。

#### 【0019】

半導体構成体 23 の周囲における接着層 22 の上面には方形枠状の埋込材 34 が接着されている。この場合、埋込材 34 の材料は、ベース板 21 と同じであってもよく、また別であってもよい。また、埋込材 34 の厚さは、半導体構成体 23 の全体の厚さとはほぼ同じとなっている。さらに、半導体構成体 23 とその外側に配置された方形枠状の埋込材 34 との間には比較的狭い隙間 35 が形成されて

いる。隙間 35 にはエポキシ系樹脂などからなる封止膜（絶縁膜）36 がその上面が封止膜 33 および埋込材 34 の上面とほぼ面一となるように設けられている。

#### 【0020】

半導体構成体 23、埋込材 34 および封止膜 36 の上面全体にはポリイミドなどからなる第 1 の上層絶縁膜 37 が設けられている。第 1 の上層絶縁膜 37 の柱状電極 32 の上面中央部に対応する部分には開口部 38 が設けられている。開口部 38 を介して露出された柱状電極 32 の上面から第 1 の上層絶縁膜 37 の上面の所定の箇所にかけて第 1 の下地金属層 39a および該第 1 の下地金属層 39a 上に設けられた第 1 の上層金属層 39b からなる第 1 の上層再配線 39 が設けられている。

#### 【0021】

第 1 の上層再配線 39 を含む第 1 の上層絶縁膜 37 の上面全体にはポリイミドなどからなる第 2 の上層絶縁膜 41 が設けられている。第 2 の上層絶縁膜 41 の第 1 の上層再配線 39 の接続パッド部に対応する部分には開口部 42 が設けられている。開口部 42 を介して露出された第 1 の上層再配線 39 の接続パッド部上面から第 2 の上層絶縁膜 41 の上面の所定の箇所にかけて第 2 の下地金属層 43a および該第 2 の下地金属層 43a 上に設けられた第 2 の上層金属層 43b からなる第 2 の上層再配線 43 が設けられている。

#### 【0022】

第 2 の上層再配線 43 を含む第 2 の上層絶縁膜 41 の上面全体にはポリイミドなどからなる第 3 の上層絶縁膜 44 が設けられている。第 3 の上層絶縁膜 44 の第 2 の上層再配線 43 の接続パッド部に対応する部分には開口部 45 が設けられている。開口部 45 内およびその上方には半田ボール（突起状の接続端子）46 が第 2 の上層再配線 43 の接続パッド部に接続されて設けられている。複数の半田ボール 46 は、第 3 の上層絶縁膜 44 上にマトリクス状に配置されている。

#### 【0023】

ところで、ベース板 21 のサイズを半導体構成体 23 のサイズよりもやや大きくしているのは、シリコン基板 24 上の接続パッド 25 の数の増加に応じて、半

田ボール 46 の配置領域を半導体構成体 23 のサイズよりもやや大きくし、これにより、接続パッド 25 のサイズおよび配置間隔を柱状電極 32 のサイズおよび配置間隔よりも大きくするためである。

#### 【0024】

このため、マトリクス状に配置された第 2 の上層再配線 43 の接続パッド部（第 3 の上層絶縁膜 44 の開口部 45 内の部分）は、半導体構成体 23 に対応する領域のみでなく、半導体構成体 23 の周囲に設けられた埋込材 34 およびその間の隙間 35 に設けられた封止膜 36 の領域上にも配置されている。つまり、マトリクス状に配置された半田ボール 46 のうち、少なくとも最外周の半田ボール 46 は半導体構成体 23 よりも外側に位置する周囲に配置されている。

#### 【0025】

この場合、変形例として、第 2 の上層再配線 43 の接続パッド部を全て半導体構成体 23 よりも外側に位置する周囲に配置するようにしてもよい。また、上層の再配線を 1 層として、つまり第 1 の上層再配線 39 のみとして、少なくとも、最外周の接続パッド部を半導体構成体 23 よりも外側に位置する周囲に配置することもできる。

#### 【0026】

このように、この半導体装置では、シリコン基板 24 上に、接続パッド 25、絶縁膜 26 を有するのみでなく、保護膜 27、再配線 31、柱状電極 32、封止膜 33 などをも形成した半導体構成体 23 の周囲に封止膜 36 および埋込材 34 を設け、その上面に少なくとも第 1 の上層絶縁膜 37 および該第 1 の上層絶縁膜 37 に形成された開口部 38 を介して柱状電極 32 に接続される第 1 の上層再配線 39 を設ける構成を特徴としている。

#### 【0027】

この場合、半導体構成体 23 とその外側に配置された方形枠状の埋込材 34 との間に比較的狭い隙間 35 を形成し、この隙間 35 内にエポキシ系樹脂などからなる封止膜 36 を設けているので、埋込材 34 が無い場合と比較して、封止膜 36 の量を埋込材 34 の体積の分だけ少なくすることができる。この結果、エポキシ系樹脂などからなる封止膜 36 の硬化時の収縮による応力を小さくすることが

でき、ひいてはベース基板 21 が反りにくいようにすることができる。

#### 【0028】

次に、この半導体装置の製造方法の一例について説明するに、まず、半導体構成体 23 の製造方法の一例について説明する。この場合、まず、図 2 に示すように、ウエハ状態のシリコン基板（半導体基板）24 上にアルミニウムからなる接続パッド 25、酸化シリコンからなる絶縁膜 26 およびポリイミドからなる保護膜 27 が設けられ、接続パッド 25 の中央部が絶縁膜 26 および保護膜 27 に形成された開口部 28 を介して露出されたものを用意する。

#### 【0029】

次に、図 3 に示すように、開口部 28 を介して露出された接続パッド 25 の上面を含む保護膜 27 の上面全体に下地金属層 31a を形成する。この場合、下地金属層 31a は、無電解メッキにより形成された銅層のみからなっているが、スパッタにより形成された銅層のみであってもよく、またスパッタにより形成されたチタンなどの薄膜層上にスパッタにより銅層を形成したものであってもよい。これは、後述する上層下地金属層 39a、43a の場合も同様である。

#### 【0030】

次に、下地金属層 31a の上面にメッキレジスト膜 51 をパターン形成する。この場合、再配線 31 形成領域に対応する部分におけるメッキレジスト膜 51 には開口部 52 が形成されている。次に、下地金属層 31a をメッキ電流路として銅の電解メッキを行うことにより、メッキレジスト膜 51 の開口部 52 内の下地金属層 31a の上面に上層金属層 31b を形成する。次に、メッキレジスト膜 51 を剥離する。

#### 【0031】

次に、図 4 に示すように、上層金属層 31b を含む下地金属層 31a の上面にメッキレジスト膜 53 をパターン形成する。この場合、柱状電極 32 形成領域に対応する部分におけるメッキレジスト膜 53 には開口部 54 が形成されている。次に、下地金属層 31a をメッキ電流路として銅の電解メッキを行うことにより、メッキレジスト膜 53 の開口部 54 内の上層金属層 31b の接続パッド部上面に柱状電極 32 を形成する。

**【0032】**

次に、メッキレジスト膜 53 を剥離し、次いで、柱状電極 32 および上層金属層 31b をマスクとして下地金属層 31a の不要な部分をエッチングして除去すると、図 5 に示すように、上層金属層 31b 下にのみ下地金属層 31a が残存され、この残存された下地金属層 31a およびその上面全体に形成された上層金属層 31b により再配線 31 が形成される。

**【0033】**

次に、図 6 に示すように、柱状電極 32 および再配線 31 を含む保護膜 27 の上面全体にエポキシ系樹脂からなる封止膜 33 をその厚さが柱状電極 32 の高さよりも厚くなるように形成する。したがって、この状態では、柱状電極 32 の上面は封止膜 33 によって覆われている。次に、封止膜 33 および柱状電極 32 の上面側を適宜に研磨し、図 7 に示すように、柱状電極 32 の上面を露出させ、且つ、この露出された柱状電極 32 の上面を含む封止膜 33 の上面を平坦化する。次に、図 8 に示すように、ダンシング工程を経ると、図 1 に示す半導体構成体 23 が複数個得られる。

**【0034】**

ところで、柱状電極 32 の上面側を適宜に研磨するのは、電解メッキにより形成される柱状電極 32 の高さにばらつきがあるため、このばらつきを解消して、柱状電極 32 の高さを均一にするためである。また、この場合、銅からなる柱状電極 32 の上面側を研磨するため、高価で高精度なグラインダーを用いている。

**【0035】**

次に、このようにして得られた半導体構成体 23 を用いて、図 1 に示す半導体装置を製造する場合の一例について説明する。まず、図 9 に示すように、図 1 に示すベース板 21 を複数枚採取することができるベース板 21 の上面全体に接着層 22 が設けられたものを用意する。

**【0036】**

そして、接着層 22 の上面の所定の箇所に格子状の埋込材 34 の下面を接着する。格子状の埋込材 34 は、一例として、シリコン、ガラス、セラミックス、樹脂、金属などからなるシート状の埋込材 34 に型抜き加工やエッチングなどによ



り複数の方形状の開口部 34a を形成することにより得られる。また、シート状の埋込材 34 を接着層 22 の上面全体に接着し、座ぐり加工により、格子状の埋込材 34 を形成するようにしてもよい。

#### 【0037】

次に、格子状の埋込材 34 の各開口部 34a 内における接着層 22 の上面中央部にそれぞれ半導体構成体 23 のシリコン基板 24 の下面を接着する。この状態では、埋込材 34 の上面と半導体構成体 23 の上面とはほぼ同一の平面上に配置されている。また、半導体構成体 23 とその外側に配置された方形枠状の埋込材 34 との間には比較的狭い隙間 35 が形成されている。

#### 【0038】

次に、図 10 に示すように、隙間 35 を含む半導体構成体 23 および埋込材 34 の上面全体にエポキシ系樹脂からなる封止膜 36 を印刷などにより塗布する。したがって、この状態では、半導体構成体 23 および埋込材 34 の上面は封止膜 36 によって覆われている。次に、半導体構成体 23 および埋込材 34 の上面を覆っている未硬化の封止膜 36 をバフ研磨により除去することにより、図 11 に示すように、半導体構成体 23 および埋込材 34 の上面を露出させ、且つ、隙間 35 内に設けられた封止膜 36 の上面を半導体構成体 23 および埋込材 34 の上面とほぼ面一とし、全体としての上面をほぼ平坦化する。次に、封止膜 36 を硬化させる。

#### 【0039】

ところで、この場合の研磨は、半導体構成体 23 の上面側つまり銅からなる柱状電極 32 の上面側を研磨するのではなく、半導体構成体 23 および埋込材 34 の上面を覆っている未硬化の封止膜 36 を除去するものであるので、安価で低精度のバフを用いても何ら支障はない。なお、隙間 35 内に設けられた未硬化の封止膜 36 を研磨し過ぎないためと封止膜 36 の硬化収縮を小さくするために、塗布後の封止膜 36 を紫外線照射や加熱により仮硬化させるようにしてもよい。また、隙間 35 内に設けられた封止膜 36 の硬化収縮が大きくて平坦化が不十分な場合には、封止樹脂の塗布および研磨を繰り返すようにしてもよい。

#### 【0040】

なお、研磨の他の例としては、安価で低精度のエンドレス研磨ベルトの一部をフラット化し、このフラット化した部分で半導体構成体 23 および埋込材 34 の上面を覆っている未硬化または仮硬化の封止膜 36 を半導体構成体 23 および埋込材 34 の上面を研磨制限面として平滑化研磨するようにしてもよい。

#### 【0041】

また、半導体構成体 23 とその外側に配置された方形枠状の埋込材 34 との間に比較的狭い隙間 35 を形成し、この隙間 35 内にエポキシ系樹脂からなる封止膜 36 を設けているので、埋込材 34 が無い場合と比較して、封止膜 36 の量を埋込材 34 の体積の分だけ少なくすることができる。この結果、エポキシ系樹脂からなる封止膜 36 の硬化時の収縮による応力を小さくすることができ、ひいてはベース板 21 が反りにくいようにすることができる。

#### 【0042】

さて、図 11 に示す研磨工程が終了したら、次に、図 12 に示すように、ほぼ面一となった半導体構成体 23、埋込材 34 および封止膜 36 の上面全体に第 1 の上層絶縁膜 37 を形成する。この第 1 の上層絶縁膜 37 は、感光性ポリイミド、感光性ポリベンザオキサゾール、感光性エポキシ樹脂、感光性ノボラック樹脂、感光性アクリル系カルゾ樹脂などからなり、ドライフィルム化されている。したがって、このドライフィルム化されたものをラミネータによりラミネートすると、第 1 の上層絶縁膜 37 が形成される。なお、後述する第 2 および第 3 の上層絶縁膜 41、44 の場合も同様であるが、印刷などの塗布法により形成するようにしてもよい。

#### 【0043】

次に、第 1 の上層絶縁膜 37 の柱状電極 32 の上面中央部に対応する部分に、フォトリソグラフィにより、開口部 38 を形成する。次に、図 13 に示すように、開口部 38 を介して露出された柱状電極 32 の上面を含む第 1 の上層絶縁膜 37 の上面全体に第 1 の下地金属層 39a を形成する。次に、第 1 の下地金属層 39a の上面にメッキレジスト膜 55 をパターン形成する。この場合、第 1 の上層再配線 39 形成領域に対応する部分におけるメッキレジスト膜 55 には開口部 56 が形成されている。次に、第 1 の下地金属層 39a をメッキ電流路として銅の

電解メッキを行うことにより、メッキレジスト膜 55 の開口部 56 内の第 1 の下地金属層 39a の上面に第 1 の上層金属層 39b を形成する。

【0044】

次に、メッキレジスト膜 55 を剥離し、次いで、第 1 の上層金属層 39b をマスクとして第 1 の下地金属層 39a の不要な部分をエッチングして除去すると、図 14 に示すように、第 1 の上層金属層 39b 下にのみ第 1 の下地金属層 39a が残存され、この残存された第 1 の下地金属層 39a およびその上面全体に形成された第 1 の上層金属層 39b により第 1 の上層再配線 39 が形成される。

【0045】

次に、図 15 に示すように、第 1 の上層再配線 39 を含む第 1 の上層絶縁膜 37 の上面全体に感光性ポリイミドなどからなる第 2 の上層絶縁膜 41 をパターン形成する。この場合、第 2 の上層絶縁膜 41 の第 1 の上層再配線 39 の接続パッド部に対応する部分には開口部 42 が形成されている。次に、開口部 42 を介して露出された第 1 の上層再配線 39 の接続パッド部を含む第 2 の上層絶縁膜 41 の上面全体に第 2 の下地金属層 43a を無電解メッキにより形成する。

【0046】

次に、第 2 の下地金属層 43a の上面にメッキレジスト膜 57 をパターン形成する。この場合、第 2 の上層再配線 43 形成領域に対応する部分におけるメッキレジスト膜 57 には開口部 58 が形成されている。次に、第 2 の下地金属層 43a をメッキ電流路として銅の電解メッキを行うことにより、メッキレジスト膜 57 の開口部 58 内の第 2 の下地金属層 43a の上面に第 2 の上層金属層 43b を形成する。

【0047】

次に、メッキレジスト膜 57 を剥離し、次いで、第 2 の上層金属層 43b をマスクとして第 2 の下地金属層 43a の不要な部分をエッチングして除去すると、図 16 に示すように、第 2 の上層金属層 43b 下にのみ第 2 の下地金属層 43a が残存され、この残存された第 2 の下地金属層 43a およびその上面全体に形成された第 2 の上層金属層 43b により第 2 の上層再配線 43 が形成される。

【0048】

次に、図 17 に示すように、第 2 の上層再配線 43 を含む第 2 の上層絶縁膜 41 の上面全体に感光性ポリイミドなどからなる第 3 の上層絶縁膜 44 をパターン形成する。この場合、第 3 の上層絶縁膜 44 の第 2 の上層再配線 43 の接続パッド部に対応する部分には開口部 45 が形成されている。次に、開口部 45 内およびその上方に半田ボール 46 を第 2 の上層再配線 43 の接続パッド部に接続させて形成する。

#### 【0049】

次に、図 18 に示すように、互いに隣接する半導体構成体 23 間において、3 層の絶縁膜 44、41、37、埋込材 34、接着層 22 およびベース板 21 を切断すると、図 1 に示す半導体装置が複数個得られる。

#### 【0050】

このようにして得られた半導体装置では、半導体構成体 23 の柱状電極 32 に接続される第 1 の下地金属層 39a および第 1 の上層金属層 39b を無電解メッキ（またはスパッタ）および電解メッキにより形成し、第 1 の上層再配線 39 の接続パッド部に接続される第 2 の下地金属層 43a および第 2 の上層金属層 43b を無電解メッキ（またはスパッタ）および電解メッキにより形成しているので、ボンディングによらないで、半導体構成体 23 の柱状電極 32 と第 1 の上層再配線 39 との間および第 1 の上層再配線 39 と第 2 の上層再配線 43 との間を導電接続することができる。

#### 【0051】

また、上記製造方法では、ベース板 21 上の接着層 22 上に格子状の埋込材 34 および複数の半導体構成体 23 を接着して配置し、複数の半導体構成体 23 に対して封止膜 36、第 1～第 3 の上層絶縁膜 37、41、44、第 1、第 2 の下地金属層 39a、43a、第 1、第 2 の上層金属層 39b、44b および半田ボール 46 の形成を一括して行い、その後に分断して複数個の半導体装置を得るので、製造工程を簡略化することができる。

#### 【0052】

また、ベース板 21 と共に複数の半導体構成体 23 を搬送することができるので、これによっても製造工程を簡略化することができる。さらに、ベース板 21

の外形寸法を一定にすると、製造すべき半導体装置の外形寸法に関係なく、搬送系を共有化することができる。

#### 【0053】

さらに、上記製造方法では、図9に示すように、再配線31および柱状電極32を備えたCSPタイプの半導体構成体23を接着層22上に接着しているので、例えば、シリコン基板24上に接続パッド25および絶縁膜26を設けてなる通常の半導体チップを接着層22上に接着して、半導体チップの周囲に設けられた封止膜上などに再配線および柱状電極を形成する場合と比較して、コストを低減することができる。

#### 【0054】

例えば、切断前のベース板21がシリコンウエハのように一定のサイズのほぼ円形状である場合、接着層22上に接着された半導体チップの周囲に設けられた封止膜上などに再配線および柱状電極を形成すると、処理面積が増大する。換言すれば、低密度処理になるため、一回当たりの処理枚数が低減し、スループットが低下するので、コストアップとなる。

#### 【0055】

これに対し、上記製造方法では、再配線31および柱状電極32を備えたCSPタイプの半導体構成体23を接着層22上に接着した後に、ビルドアップしているので、プロセス数は増大するが、柱状電極32を形成するまでは高密度処理のため、効率が良く、プロセス数の増大を考慮しても、全体の価格を低減することができる。

#### 【0056】

なお、上記実施形態においては、半田ボール46を、半導体構成体23上および埋込材34上の全面に対応してマトリクス状に配列されるよう設けているが、半田ボール46を半導体構成体23の周囲の埋込材34上に対応する領域上のみ設けるようにしてもよい。その場合、半田ボール46を半導体構成体23の全周囲ではなく、半導体構成体23の4辺の中、1～3辺の側方のみに設けてもよい。また、このような場合には、埋込材34を方形枠状のものとする必要はなく、半田ボール46を設ける辺の側方のみに配置されるようにしてもよい。また、

埋込材 3 4 は、印刷、転写、成形などによって形成してもよく、さらに、ベース板 2 1 上に半導体構成体 2 3 を配列した後に形成するようにしてもよい。

#### 【0 0 5 7】

次に、図 1 に示す半導体装置の製造方法の他の例について説明する。まず、図 1 9 に示すように、紫外線透過性の透明樹脂板やガラス板などからなる別のベース板 6 0 の上面全体に紫外線硬化型の粘着シートなどからなる接着層 6 1 を接着し、接着層 6 1 の上面に上述のベース板 2 1 および接着層 2 2 を接着したものを用意する。

#### 【0 0 5 8】

そして、図 9 ～図 1 7 にそれぞれ示す製造工程を経た後に、図 2 0 に示すように、3 層の絶縁膜 4 4、4 1、3 7、埋込材 3 4、接着層 2 2、ベース板 2 1 および接着層 6 1 を切断し、別のベース板 6 0 を切断しない。次に、別のベース板 6 0 の下面側から紫外線を照射し、接着層 6 1 を硬化させる。すると、分断されたベース板 2 1 の下面に対する接着層 6 1 による接着性が低下する。そこで、接着層 6 1 上に存在する個片化されたものを 1 つずつ剥がしてピックアップすると、図 1 に示す半導体装置が複数個得られる。

#### 【0 0 5 9】

この製造方法では、図 2 0 に示す状態において、接着層 6 1 上に存在する個片化された半導体装置がバラバラとならないので、専用の半導体装置載置用トレーを用いることなく、そのまま、図示しない回路基板上への実装時に 1 つずつ剥がしてピックアップすることができる。また、別のベース板 6 0 の上面に残存する接着性が低下した接着層 6 1 を剥離すると、別のベース板 6 0 を再利用することができる。さらに、別のベース板 6 0 の外形寸法を一定にすると、製造すべき半導体装置の外形寸法に関係なく、搬送系を共有化することができる。

#### 【0 0 6 0】

なおここで、別のベース板 6 0 として、膨張させることにより半導体装置を取り外す、通常のダイシングテープなどを用いることも可能であり、その場合には、接着層は紫外線硬化型でなくてもよい。また、別のベース板 6 0 を研磨やエッチングにより除去するようにしてもよい。

**【0061】**

次に、図1に示す半導体装置の製造方法のさらに他の例について説明する。この製造方法では、図12に示す製造工程後に、図21に示すように、開口部38を介して露出された柱状電極32の上面を含む第1の上層絶縁膜37の上面全体に銅の無電解メッキにより第1の下地金属層39aを形成する。次に、第1の下地金属層39aをメッキ電流路として銅の電解メッキを行うことにより、第1の下地金属層39aの上面全体に第1の上層金属形成用層39cを形成する。次に、第1の上層金属形成用層39cの上面の第1の上層再配線形成領域に対応する部分にレジスト膜62をパターン形成する。

**【0062】**

次に、レジスト膜62をマスクとして第1の上層金属形成用層39cおよび第1の下地金属層39aの不要な部分をエッチングして除去すると、図22に示すように、レジスト膜62下にのみ第1の上層配線層39が残存される。この後、レジスト膜62を剥離する。なお、これと同様の形成方法により、第2の上層再配線43を形成するようにしてもよい。

**【0063】**

ところで、図9に示すベース板21あるいは図19に示す別のベース板60をトレイ状とすることもできる。つまり、ベース板を、半導体構成体23を配列する領域が周囲より陥没した受け皿のような形状とする。そして、このトレイ状のベース板の半導体構成体23配列領域を囲む周囲の上面にメッキ電流路用金属層を設け、このメッキ電流路用金属層とメッキ電流路用の下地金属層（39a、43a）とを導電部材で接続して、電解メッキを行うようにしてもよい。この場合、トレイの外形サイズを同一としておくことにより、製造する半導体装置のサイズが異なる場合でも、同一の製造装置の使用が可能となり効率的となる。

**【0064】**

（第2実施形態）

図9に示す製造工程において、接着層22を半導体構成体23のシリコン基板24の下面および埋込材34の下面にそれぞれ設け、これらの接着層22をベース板21の上面の各所定の箇所に接着した場合には、図23に示すこの発明の第

2 実施形態としての半導体装置が得られる。

【0065】

このようにして得られた半導体装置では、例えば、シリコン基板 24 の下面が接着層 22 を介してベース板 21 の上面に接着されているほかに、シリコン基板 24 の側面などが封止膜 36 を介してベース板 21 の上面に接合されているので、半導体構成体 23 および埋込材 34 のベース板 21 に対する接合強度をある程度強くすることができる。

【0066】

(第3、第4実施形態)

図 24 はこの発明の第3実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図 1 に示す半導体装置と異なる点は、ベース板 21 および接着層 22 を備えていないことである。

【0067】

この第3実施形態の半導体装置を製造する場合には、例えば図 17 に示すように、半田ボール 46 を形成した後に、ベース板 21 および接着層 22 を研磨やエッチングなどにより除去し、次いで互いに隣接する半導体構成体 23 間において、3層の絶縁膜 44、41、37 および埋込材 34 を切断すると、図 24 に示す半導体装置が複数個得られる。このようにして得られた半導体装置では、ベース板 21 および接着層 22 を備えていないので、その分だけ、薄型化することができる。

【0068】

また、ベース板 21 および接着層 22 を研磨やエッチングなどにより除去した後に、シリコン基板 24、埋込材 34 および封止膜 36 の下面側を適宜に研磨し、次いで互いに隣接する半導体構成体 23 間において、3層の絶縁膜 44、41、37 および埋込材 34 を切断すると、図 25 に示すこの発明の第4実施形態としての半導体装置が複数個得られる。このようにして得られた半導体装置では、さらに薄型化することができる。

【0069】

なお、半田ボール 46 を形成する前に、ベース板 21 および接着層 22 を研磨



やエッチングなどにより除去し（必要に応じてさらにシリコン基板 24、埋込材 34 および封止膜 36 の下面側を適宜に研磨し）、次いで半田ボール 46 を形成し、次いで互いに隣接する半導体構成体 23 間において、3 層の絶縁膜 44、41、37 および埋込材 34 を切断するようにしてもよい。

#### 【0070】

##### （第 5 実施形態）

図 26 はこの発明の第 5 実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図 1 に示す半導体装置と異なる点は、接着層 22 の下面に放熱用の金属層 63 が接着されていることである。金属層 63 は、厚さ数十  $\mu\text{m}$  の銅箔などからなっている。

#### 【0071】

この第 5 実施形態の半導体装置を製造する場合には、例えば図 17 に示すように、半田ボール 46 を形成した後に、ベース板 21 を研磨やエッチングなどにより除去し、次いで接着層 22 の下面全体に金属層 63 を接着し、次いで互いに隣接する半導体構成体 23 間において、3 層の絶縁膜 44、41、37、埋込材 34、接着層 22 および金属層 63 を切断すると、図 26 に示す半導体装置が複数個得られる。

#### 【0072】

なお、接着層 22 も研磨やエッチングなどにより除去し（必要に応じてさらにシリコン基板 24、埋込材 34 および封止膜 36 の下面側を適宜に研磨し）、シリコン基板 24、埋込材 34 および封止膜 36 の下面に新たな接着層を介して金属層 63 を接着するようにしてもよい。

#### 【0073】

##### （第 6 実施形態）

図 27 はこの発明の第 6 実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図 1 に示す半導体装置と異なる点は、第 1、第 2 の上層絶縁膜 37、41 の開口部 38、42 のサイズを可及的に小さくし、且つ、これらの開口部 38、42 上における第 1、第 2 の上層再配線 39、43 のランドを可及的に小さくしたことである。

## 【0074】

例えば、第1の上層再配線39は柱状電極32上にメッキにより直接接合されるものであるため、第1の上層絶縁膜37の開口部38は、 $10\mu\text{m} \times 10\mu\text{m}$ の方形または同面積の円形の面積を有していれば強度的に十分である。したがって、第1の上層絶縁膜37の開口部38のサイズを可及的に小さくすることができ、且つ、この開口部38上における第1の上層再配線39のランドを可及的に小さくすることができる。

## 【0075】

このように、この第6実施形態によれば、第1、第2の上層絶縁膜37、41の開口部38、42のサイズを可及的に小さくし、且つ、これらの開口部38、42上における第1、第2の上層再配線39、43のランドを可及的に小さくすることができるので、第1、第2の上層再配線39、43の占有面積を小さくすることができる。この結果、半導体構成体23のシリコン基板24上の接続パッド25（つまり柱状電極32）の数が増大しても、半導体装置全体としてのサイズを小さいものとすることができる。

## 【0076】

## (第7実施形態)

図28はこの発明の第7実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図1に示す半導体装置と異なる点は、上層の再配線を1層として、つまり第1の上層再配線39のみとして、半導体構成体23の再配線31の一部をクロス再配線としたことである。

## 【0077】

すなわち、半導体構成体23の保護膜27上に面積的に余裕がある場合には、保護膜27上に接続パッド25と接続されない再配線31Aを設け、この再配線31Aの両端部上に柱状電極32Aを設け、この柱状電極32Aと本来の柱状電極32に第1の上層再配線39を接続し、再配線31Aをクロス再配線としたものである。このようにすれば、上層の再配線の層数を少なくすることができる。

## 【0078】

## (第8、第9実施形態)

図 29 はこの発明の第 8 実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図 1 に示す半導体装置と異なる点は、第 1 の上層絶縁膜 37 を省略し、封止膜 36 を隙間 35 の周囲における半導体構成体 23 および埋込材 34 の各上面にやや盛り上げるように設け、この盛り上げ部、半導体構成体 23 および埋込材 34 の上面に第 1 の上層再配線 39 を設けたことである。

#### 【0079】

この場合、封止膜 36 は、メタルマスクなどを用いてあるいはスクリーン印刷により形成する。なお、隙間 35 の周囲における半導体構成体 23 および埋込材 34 の各上面にやや盛り上げるように設けられた未硬化または仮硬化の封止膜 36 をバフ研磨などにより除去した場合には、図 30 に示すこの発明の第 9 実施形態としての半導体装置が得られる。

#### 【0080】

##### (第 10 実施形態)

図 31 はこの発明の第 10 実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図 1 に示す半導体装置と異なる点は、第 2 の上層配線層 43 および第 3 の上層絶縁膜 44 を省略し、第 1 の上層再配線 37 の接続パッド部上に半田ボール 46 を設け、埋込材 34 の上面に再配線 64 を設けたことである。この場合、埋込材 34 上の再配線 64 の両端部は、その上を覆っている第 1 の上層絶縁膜 37 に形成された開口部 38 を介して第 1 の上層再配線 39 に接続されている。

#### 【0081】

##### (第 11 実施形態)

図 32 はこの発明の第 11 実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図 31 に示す半導体装置と異なる点は、封止膜 36 および第 1 の上層絶縁膜 37 をダイコーターなどを用いて感光性ポリイミドなどを塗布して一体的に形成したことである。この場合、第 1 の上層絶縁膜 37 への開口部 38 の形成は、フォトリソグラフィであってもよく、また CO2 レーザの照射であってもよい。

**【0082】**

なお、この場合の塗布材料が熱可塑性樹脂や硬化前に比較的低温加熱で流動状態となる流動化可能な樹脂である場合には、塗布により一体的に形成された絶縁膜 36、37 の平坦化は、加熱加圧処理であってもよい。ここで、図 12 に示す第 1 の上層絶縁膜 37 も、このような塗布材料で形成する場合には、その平坦化は加熱加圧処理であってもよい。

**【0083】**

(第 12 実施形態)

図 33 はこの発明の第 12 実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図 31 に示す半導体装置と異なる点は、第 1 の上層絶縁膜 37 を省略し、半導体構成体 23 の上面周辺部、封止膜 36 の上面および再配線 64 を含む埋込材 34 の上面全体に別の第 1 の上層絶縁膜 65 をスクリーン印刷などにより形成したことである。

**【0084】**

この場合、埋込材 34 上の再配線 64 の両端部は、その上を覆っている別の第 1 の上層絶縁膜 65 に CO2 レーザの照射などにより形成された開口部 66 を介して第 1 の上層再配線 39 に接続されている。また、第 1 の上層再配線 39 は柱状電極 32 の上面に絶縁膜の開口部を介することなく直接接続されている。

**【0085】**

(第 13、第 14 実施形態)

図 34 はこの発明の第 13 実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図 31 に示す半導体装置と大きく異なる点は、再配線 64 を含む埋込材 34 の高さが半導体構成体 23 の高さよりも低くなっていることである。

**【0086】**

この場合、再配線 64 を含む埋込材 34 の上面は封止膜 36 で覆われている。また、埋込材 34 上の再配線 64 の両端部は、その上を覆っている封止膜 36 に CO2 レーザの照射などにより形成された開口部 67 内に必要に応じて充填された導電性樹脂などからなる導電材 68 を介して第 1 の上層再配線 39 に接続され

ている。

#### 【0087】

なお、図35に示すこの発明の第14実施形態のように、再配線64を含む埋込材34の高さが半導体構成体23の高さよりも高くなるようにしてもよい。この場合、半導体構成体23の上面は封止膜36で覆われている。また、柱状電極32は、その上を覆っている封止膜36にCO<sub>2</sub>レーザの照射などにより形成された開口部69内に必要に応じて充填された導電性樹脂などからなる導電材70を介して第1の上層再配線39に接続されている。

#### 【0088】

(第15実施形態)

図18に示す場合には、互いに隣接する半導体構成体23間において切断したが、これに限らず、2個またはそれ以上の半導体構成体23を1組として切断し、例えば、図36に示すこの発明の第15実施形態のように、3個の半導体構成体23を1組として切断し、マルチチップモジュール型の半導体装置を得るようにしてもよい。この場合、3個で1組の半導体構成体23は同種、異種のいずれであってもよい。

#### 【0089】

(第16実施形態)

図37はこの発明の第16実施形態としての半導体装置の断面図を示したものである。この半導体装置では、平面正形状のベース板71の上面中央部に第1の接着層72aを介して図1に示す場合と同様の第1の半導体構成体73aのシリコン基板74aの下面が接着されている。

#### 【0090】

第1の半導体構成体73aの周囲におけるベース板71の上面には方形枠状の第1の埋込材75aの下面が接合されている。第1の半導体構成体73aと第1の埋込材75aとの間には第1の封止膜76aが設けられている。第1の半導体構成体73a、第1の埋込材75aおよび第1の封止膜76aの上面の所定の箇所には第1の上層再配線77aが第1の半導体構成体73aの柱状電極78aに接続されて設けられている。

**【0091】**

第1の上層再配線77aを含む第1の半導体構成体73aの上面には第2の接着層72bを介して図1に示す場合と同様の第2の半導体構成体73bのシリコン基板74bの下面が接着されている。第1の上層再配線77aを含む第1の埋込材75aの上面には方形枠状の第2の埋込材75bの下面が接合されている。この場合、第2の埋込材75b内の所定の箇所には上下導通部79bが設けられている。この上下導通部79bの下面は第1の上層再配線77aの接続パッドに接続されている。第2の半導体構成体73bと第2の埋込材75bとの間には第2の封止膜76bが設けられている。

**【0092】**

第2の半導体構成体73b、第2の埋込材75bおよび第2の封止膜76bの上面の所定の箇所には第2の上層再配線77bが第2の半導体構成体73bの柱状電極78bおよび第2の埋込材75b内の上下導通部79bに接続されて設けられている。第2の上層再配線77bを含む第2の半導体構成体73bの上面には第3の接着層72cを介して図1に示す場合と同様の第3の半導体構成体73cのシリコン基板74cの下面が接着されている。

**【0093】**

第2の上層再配線77bを含む第2の埋込材75bの上面には方形枠状の第3の埋込材75cの下面が接合されている。この場合、第3の埋込材75c内の所定の箇所には上下導通部79cが設けられている。この上下導通部79cの下面は第2の上層再配線77bの接続パッドに接続されている。第3の半導体構成体73cと第3の埋込材75cとの間には第3の封止膜76cが設けられている。

**【0094】**

第3の半導体構成体73c、第3の埋込材75cおよび第3の封止膜76cの上面の所定の箇所には第3の上層再配線77cが第3の半導体構成体73cの柱状電極78cおよび第3の埋込材75c内の上下導通部79cに接続されて設けられている。第3の上層再配線77cを含む第3の半導体構成体73c、第3の埋込材75cおよび第3の封止膜76cの上面全体には上層絶縁膜80が設けられている。上層絶縁膜80上の所定の箇所には半田ボール81が第3の上層再配

線 77c の接続パッドに接続されて設けられている。

#### 【0095】

次に、この半導体装置の製造方法の一例について説明する。まず、図 38 に示すように、図 37 に示すベース板 71 を複数枚採取することができるベース板 71 の上面の所定の箇所に格子状の第 1 の埋込材 75a を配置する。この場合、ベース板 71、第 1 の埋込材 75a および後述する第 2、第 3 の埋込材 75b、75c は熱可塑性樹脂からなっている。そして、加熱加圧により、第 1 の埋込材 75a をベース板 71 の上面の所定の箇所に接合する。

#### 【0096】

次に、図 39 に示すように、格子状の第 1 の埋込材 75a の各開口部内におけるベース板 71 の上面中央部にそれぞれ第 1 の半導体構成体 73a のシリコン基板 74a の下面を該下面に予め接着された第 1 の接着層 72a を介して接着する。この状態では、第 1 の埋込材 75a の上面と第 1 の半導体構成体 73a の上面とはほぼ同一の平面上に配置されている。また、第 1 の半導体構成体 73a とその外側に配置された方形枠状の第 1 の埋込材 75a との間には比較的狭い第 1 の隙間 82a が形成されている。

#### 【0097】

次に、図 40 に示すように、第 1 の隙間 82a 内に第 1 の封止膜 76a を形成する。次に、第 1 の半導体構成体 73a、第 1 の埋込材 75a および第 1 の封止膜 76a の上面の所定の箇所に第 1 の上層再配線 77a を第 1 の半導体構成体 73a の柱状電極 78a に接続させて形成する。

#### 【0098】

次に、図 41 に示すように、第 1 の上層再配線 77a を含む格子状の第 1 の埋込材 75a の上面に格子状の第 2 の埋込材 75b を熱圧着する。この場合、第 2 の埋込材 75b 内の所定の箇所には上下導通材 79b が予め形成されている。そして、熱圧着により、第 1 の上層再配線 77a による段差は解消され、第 2 の埋込材 75b 内の上下導通材 79b の下面は第 1 の上層再配線 77a の接続パッドに接続される。

#### 【0099】

次に、図 4 2 に示すように、格子状の第 2 の埋込材 7 5 b の開口部内における第 1 の上層再配線 7 7 a を含む第 1 の半導体構成体 7 3 a の上面に第 2 の半導体構成体 7 3 b のシリコン基板 7 4 b の下面を該下面に予め接着された第 2 の接着層 7 2 b を介して接着する。

#### 【0100】

次に、第 2 の半導体構成体 7 3 b とその外側に配置された方形枠状の第 2 の埋込材 7 5 b との間に形成された比較的狭い第 2 の隙間内に第 2 の封止膜 7 6 b を形成する。次に、第 1 の半導体構成体 7 3 a、第 1 の埋込材 7 5 a および第 1 の封止膜 7 6 a の上面の所定の箇所に第 2 の上層再配線 7 7 b を第 2 の半導体構成体 7 3 b の柱状電極 7 8 b および第 2 の埋込材 7 5 b 内の上下導通材 7 9 b に接続させて形成する。

#### 【0101】

次に、図 4 3 に示すように、第 2 の上層再配線 7 7 b を含む格子状の第 2 の埋込材 7 5 b の上面に格子状の第 3 の埋込材 7 5 c を熱圧着する。この場合、第 3 の埋込材 7 5 c 内の所定の箇所には上下導通材 7 9 c が予め形成されている。そして、熱圧着により、第 2 の上層再配線 7 7 b による段差は解消され、第 3 の埋込材 7 5 c 内の上下導通材 7 9 c の下面は第 2 の上層再配線 7 7 b の接続パッドに接続される。

#### 【0102】

次に、格子状の第 3 の埋込材 7 5 c の開口部内における第 2 の上層再配線 7 7 b を含む第 2 の半導体構成体 7 3 b の上面に第 3 の半導体構成体 7 3 c のシリコン基板 7 4 c の下面を該下面に予め接着された第 3 の接着層 7 2 c を介して接着する。

#### 【0103】

次に、第 3 の半導体構成体 7 3 c とその外側に配置された方形枠状の第 3 の埋込材 7 5 c との間に形成された比較的狭い第 3 の隙間内に第 3 の封止膜 7 6 c を形成する。次に、第 3 の半導体構成体 7 3 c、第 3 の埋込材 7 5 c および第 3 の封止膜 7 6 c の上面の所定の箇所に第 3 の上層再配線 7 7 c を第 3 の半導体構成体 7 3 c の柱状電極 7 8 c および第 3 の埋込材 7 5 c 内の上下導通材 7 9 c に接



続させて形成する。

#### 【0104】

次に、第3の上層再配線77cを含む第3の半導体構成体73c、第3の埋込材75cおよび第3の封止膜76cの上面に上層絶縁膜80をパターン形成する。次に、上層絶縁膜80上の所定の箇所に半田ボール81を第3の上層再配線77cの接続パッド部に接続させて形成する。次に、図44に示すように、所定のダイシング工程を経ると、図37に示す半導体装置が複数個得られる。

#### 【0105】

(第17実施形態)

図45はこの発明の第17実施形態としての半導体装置の断面図を示したものである。この半導体装置では、まず、図1に示すものとほぼ同じものを用意する。以下、この用意したものを第1の半導体ブロック81という。ただし、第1の半導体ブロック81の半田ボール46は、全て半導体構成体23よりも外側に位置する周囲にのみ配置され、図1に示す場合よりも径がやや小さくなっている。

#### 【0106】

また、図24に示すものとほぼ同じであるが、埋込材34内に上下導通材82が設けられたものを用意する。以下、この用意したものを第2の半導体ブロック83という。そして、第2の半導体ブロック83は第1の半導体ブロック81上に、第2の半導体ブロック83の埋込材34内の上下導通材82の下面を第1の半導体ブロック81の半田ボール46に接続されて、搭載されている。

#### 【0107】

(第18、第19実施形態)

図46はこの発明の第18実施形態としての半導体装置の断面図を示したものである。この半導体装置では、まず、図24に示すものとほぼ同じであるが、埋込材34内に上下導通材84が設けられたものを用意する。以下、この用意したものを半導体ブロック85という。

#### 【0108】

ただし、この半導体ブロック85では、半導体構成体23、埋込材34および封止膜36の上面に第1の絶縁膜86がパターン形成され、第1の絶縁膜86の

上面に配線 87 が上下導通材 84 の上面に接続されて形成され、配線 87 を含む第 1 の絶縁膜 86 の上面に第 2 の絶縁膜 88 がパターン形成され、第 2 の絶縁膜 88 で覆われずに露出された配線 87 の接続パッド部上に小径の半田ボール 89 が形成されている。

#### 【0109】

そして、半導体ブロック 85 上には、図 1 に示す場合とほぼ同じ構造の複数の半導体構成体 23 が、その柱状電極 32 を半導体ブロック 85 の半田ボール 89 に接続されて、搭載されている。

#### 【0110】

なお、図 47 に示すこの発明の第 19 実施形態のように、半導体ブロック 85 上に LSI などからなる第 1 および第 2 の半導体チップ 91、92 を搭載するようにしてもよい。この場合、半導体ブロック 85 の第 2 の絶縁膜 88 で覆われずに露出された配線 87 の接続パッド部は、全て半導体構成体 23 よりも外側に位置する周囲にのみ配置されている。

#### 【0111】

第 1 および第 2 の半導体チップ 91、92 は、チップ本体 91a、92a の上周辺部に複数の接続パッド 91b、92b が設けられた構造となっている。第 1 の半導体チップ 91 の平面サイズは半導体構成体 23 の平面サイズとほぼ同じであり、第 2 の半導体チップ 92 の平面サイズは半導体チップ 91 の平面サイズよりもある程度小さくなっている。

#### 【0112】

そして、第 1 の半導体チップ 91 は半導体ブロック 85 の絶縁膜 88 の上面中央部に接着層 93 を介して搭載され、その接続パッド 91b はワイヤ 94 を介して半導体ブロック 85 の第 2 の絶縁膜 88 で覆われずに露出された配線 87 の接続パッド部に接続されている。第 2 の半導体チップ 92 は第 1 の半導体チップ 91 の上面中央部に接着層 95 を介して搭載され、その接続パッド 92b はワイヤ 96 を介して半導体ブロック 85 の第 2 の絶縁膜 88 で覆われずに露出された配線 87 の接続パッド部に接続されている。第 1、第 2 の半導体チップ 91、92 およびワイヤ 94、96 を含む絶縁膜 88 の上面全体にはエポキシ系樹脂などが

らなる封止膜 97 が設けられている。

#### 【0113】

(第20、第21実施形態)

図48はこの発明の第20実施形態としての半導体装置の断面図を示したものである。この半導体装置では、まず、図1に示すものとはほぼ同じであるが、第2の上層再配線43、第3の上層絶縁膜44および半田ボール46を備えていないものを用意する。ただし、この場合、埋込材34の一辺部34aは平面的にある程度幅広となっている。

#### 【0114】

そして、第1の上層再配線39の一部の一端部は埋込材34の一辺部34aの端面まで延ばされ、この端面近傍における部分は接続端子39Aとなっている。また、接続端子39Aを含む接続部分を除いて、第1の上層再配線39を含む第2の上層絶縁膜41の上面には接着層101を介してシールド用の金属層102が設けられている。金属層102は、厚さ数十 $\mu\text{m}$ の同箔などからなっている。

#### 【0115】

この半導体装置の具体的な応用例としては、端子数が少なく、シリコン基板24(チップ部分)とモジュール間の接続の温度サイクル信頼性が要求されるDRAMなどのメモリーモジュールが考えられる。この場合、図49に示すこの発明の第21実施形態のように、図48に示すものにおいてベース板21を除去してなるものを2つ接着層22を介して接着するようにしてもよい。

#### 【0116】

ところで、図48に示す半導体装置において、半導体構成体23が不良品である場合、リペアー法として、金属層102を接着層101を介して接着せずに、第1の上層再配線39の一部をレーザの照射によりカットして、不良品である半導体構成体23を使用不能とし、次いで、図50に示すように、別の良品の半導体構成体23Aを搭載するようにしてもよい。この場合、第1の上層絶縁膜41の所定の箇所にCO<sub>2</sub>レーザの照射により開口部を形成し、この開口部内に導電性樹脂などからなる導電材103を埋め込み、別の良品の半導体構成体23Aの柱状電極32をこの導電材103に半田(図示せず)を介して接続するようにし

てもよい。

#### 【0117】

(その他の実施形態)

例えば、図9に示す状態において、半導体構成体23として封止膜33を備えていないものを用意する。つまり、図5に示すように、接続パッド25および絶縁膜26が形成されたウエハ状態のシリコン基板24上に保護膜27、再配線31および柱状電極32を形成した後、封止膜33を形成することなく、これをダイシングする。

#### 【0118】

そして、例えば、図10に示す製造工程において、封止膜33、36を形成すべき領域に同一の封止材料によって同時に封止膜33、36を形成し、該封止膜33、36（ただし、封止膜は一体化されており境界はない）の上面側を研磨して、図11に示す状態とするようにしてもよい。

#### 【0119】

##### 【発明の効果】

以上説明したように、この発明によれば、半導体基板上に再配線および柱状電極を有する複数または複数組の半導体構成体および埋込材をベース板上に配置し、半導体構成体上の絶縁膜および埋込材上に上層再配線を半導体構成体の柱状電極に接続させて形成し、埋込材を少なくとも切断することにより、半導体構成体を1つまたは1組有するとともに埋込材を有し、且つ、埋込材上に上層再配線の一部が配置されてなる半導体装置を複数個一括して得ることができ、従来のようなボンディング工程がなく、したがってボンディングによることなく外部接続電極の配置間隔を大きくすることができ、また複数または複数組の半導体構成体に対して絶縁膜および上層再配線の形成を一括して行うことができるので、製造工程を簡略化することができる。

##### 【図面の簡単な説明】

#### 【図1】

この発明の第1実施形態としての半導体装置の断面図。

#### 【図2】

図 1 に示す半導体装置の製造方法の一例において、当初用意したものの断面図  
。

**【図 3】**

図 2 に続く製造工程の断面図。

**【図 4】**

図 3 に続く製造工程の断面図。

**【図 5】**

図 4 に続く製造工程の断面図。

**【図 6】**

図 5 に続く製造工程の断面図。

**【図 7】**

図 6 に続く製造工程の断面図。

**【図 8】**

図 7 に続く製造工程の断面図。

**【図 9】**

図 8 に続く製造工程の断面図。

**【図 1 0】**

図 9 に続く製造工程の断面図。

**【図 1 1】**

図 1 0 に続く製造工程の断面図。

**【図 1 2】**

図 1 1 に続く製造工程の断面図。

**【図 1 3】**

図 1 2 に続く製造工程の断面図。

**【図 1 4】**

図 1 3 に続く製造工程の断面図。

**【図 1 5】**

図 1 4 に続く製造工程の断面図。

**【図 1 6】**

図 1 5 に続く製造工程の断面図。

【図 1 7】

図 1 6 に続く製造工程の断面図。

【図 1 8】

図 1 7 に続く製造工程の断面図。

【図 1 9】

図 1 に示す半導体装置の製造方法の他の例において、当初用意したものの断面図。

【図 2 0】

同他の例において、所定の製造工程の断面図。

【図 2 1】

図 1 に示す半導体装置の製造方法のさらに他の例において、所定の製造工程の断面図。

【図 2 2】

図 2 1 に続く製造工程の断面図。

【図 2 3】

この発明の第 2 実施形態としての半導体装置の断面図。

【図 2 4】

この発明の第 3 実施形態としての半導体装置の断面図。

【図 2 5】

この発明の第 4 実施形態としての半導体装置の断面図。

【図 2 6】

この発明の第 5 実施形態としての半導体装置の断面図。

【図 2 7】

この発明の第 6 実施形態としての半導体装置の断面図。

【図 2 8】

この発明の第 7 実施形態としての半導体装置の断面図。

【図 2 9】

この発明の第 8 実施形態としての半導体装置の断面図。

**【図 3 0】**

この発明の第 9 実施形態としての半導体装置の断面図。

**【図 3 1】**

この発明の第 1 0 実施形態としての半導体装置の断面図。

**【図 3 2】**

この発明の第 1 1 実施形態としての半導体装置の断面図。

**【図 3 3】**

この発明の第 1 2 実施形態としての半導体装置の断面図。

**【図 3 4】**

この発明の第 1 3 実施形態としての半導体装置の断面図。

**【図 3 5】**

この発明の第 1 4 実施形態としての半導体装置の断面図。

**【図 3 6】**

この発明の第 1 5 実施形態としての半導体装置の断面図。

**【図 3 7】**

この発明の第 1 6 実施形態としての半導体装置の断面図。

**【図 3 8】**

図 3 7 に示す半導体装置の製造方法の一例において、当初の製造工程の断面図

。

**【図 3 9】**

図 3 8 に続く製造工程の断面図。

**【図 4 0】**

図 3 9 に続く製造工程の断面図。

**【図 4 1】**

図 4 0 に続く製造工程の断面図。

**【図 4 2】**

図 4 1 に続く製造工程の断面図。

**【図 4 3】**

図 4 2 に続く製造工程の断面図。

**【図 4 4】**

図 4 3 に続く製造工程の断面図。

**【図 4 5】**

この発明の第 1 7 実施形態としての半導体装置の断面図。

**【図 4 6】**

この発明の第 1 8 実施形態としての半導体装置の断面図。

**【図 4 7】**

この発明の第 1 9 実施形態としての半導体装置の断面図。

**【図 4 8】**

この発明の第 2 0 実施形態としての半導体装置の断面図。

**【図 4 9】**

この発明の第 2 1 実施形態としての半導体装置の断面図。

**【図 5 0】**

図 4 8 に示す半導体装置においてリペアーを行う場合を説明するために示す断面図。

**【図 5 1】**

従来の半導体装置の一例の断面図。

**【符号の説明】**

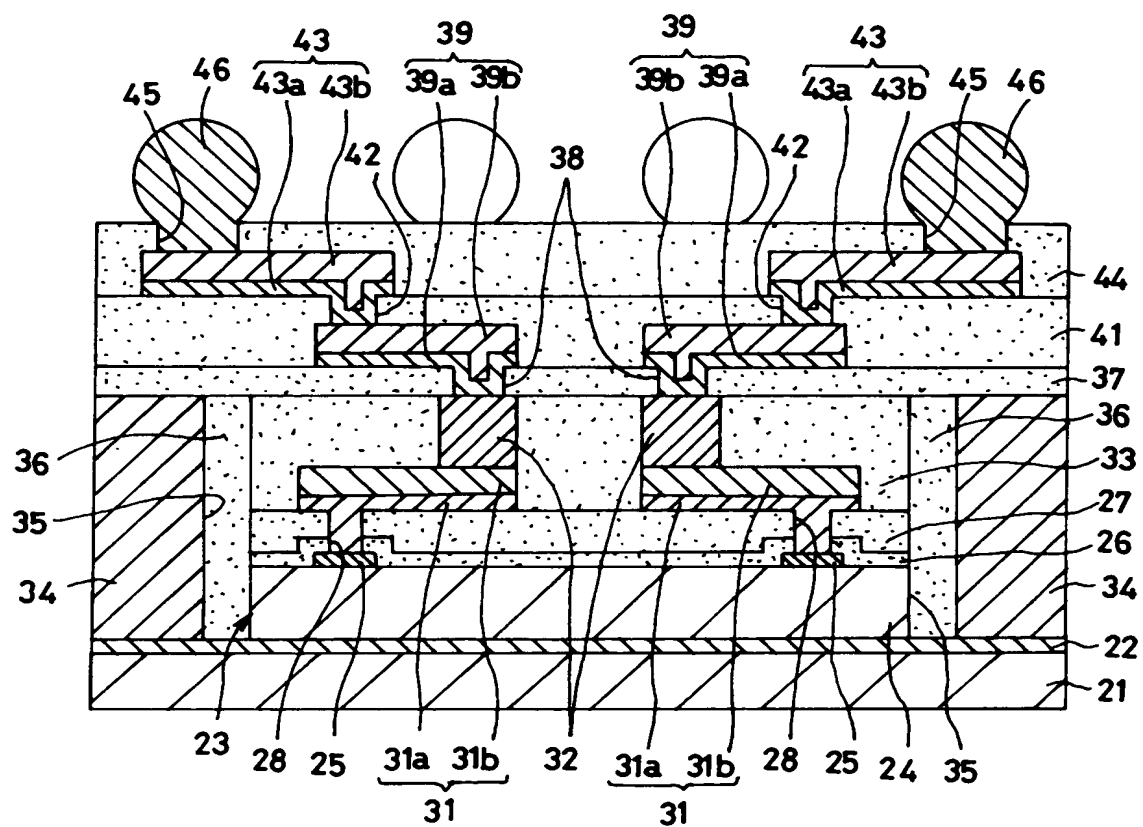
- 2 1    ベース板
- 2 2    接着層
- 2 3    半導体構成体
- 2 4    シリコン基板
- 2 5    接続パッド
- 3 1    再配線
- 3 2    柱状電極
- 3 3    封止膜
- 3 4    埋込材
- 3 6    封止膜
- 3 7    第 1 の上層絶縁膜



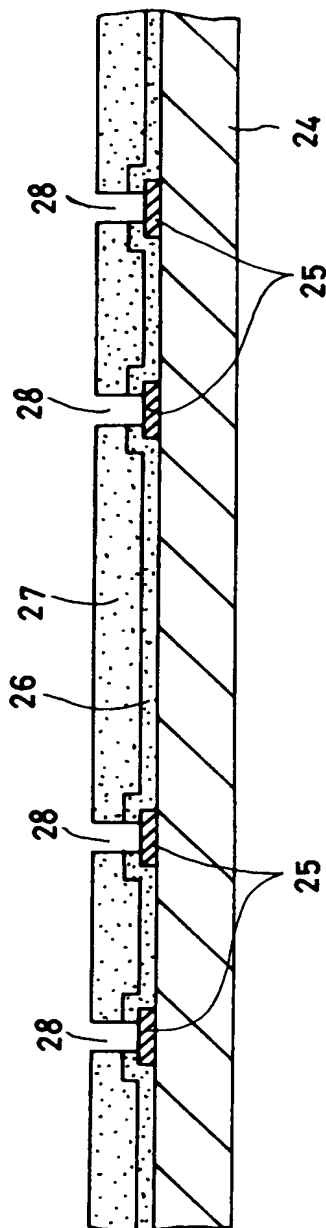
- 3 9 第 1 の上層再配線
- 4 1 第 2 の上層絶縁膜
- 4 3 第 2 の上層再配線
- 4 4 第 3 の上層絶縁膜
- 4 6 半田ボール

【書類名】 図面

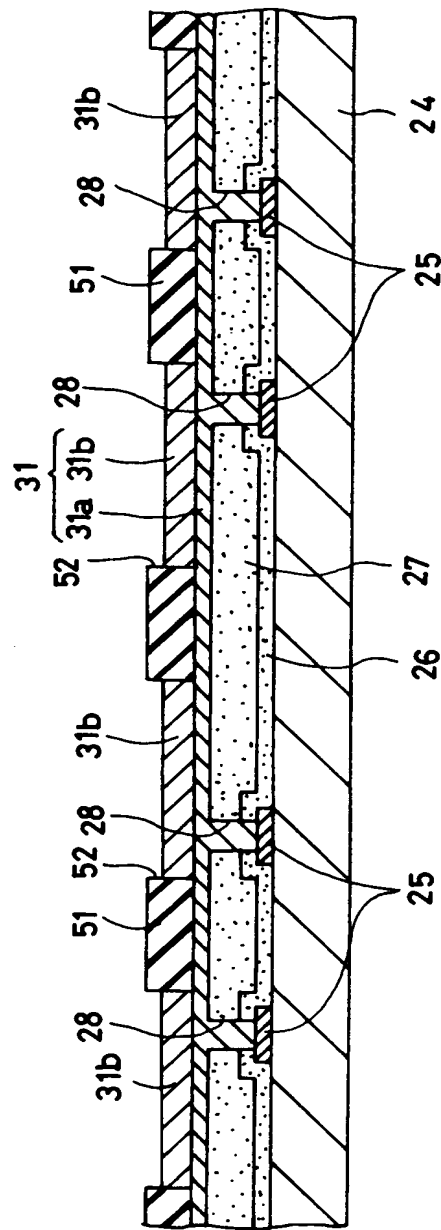
【図 1】



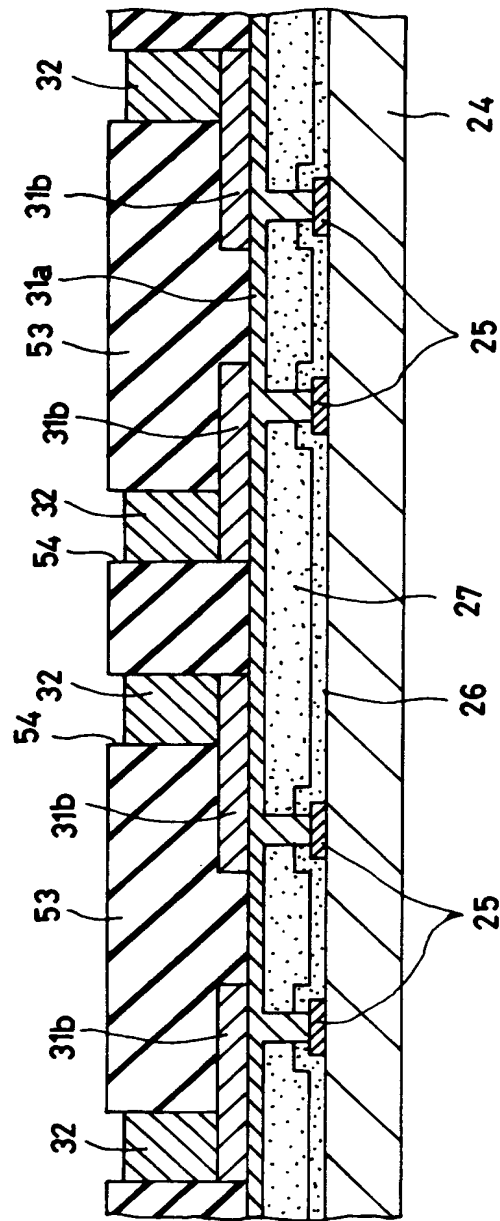
【図 2】



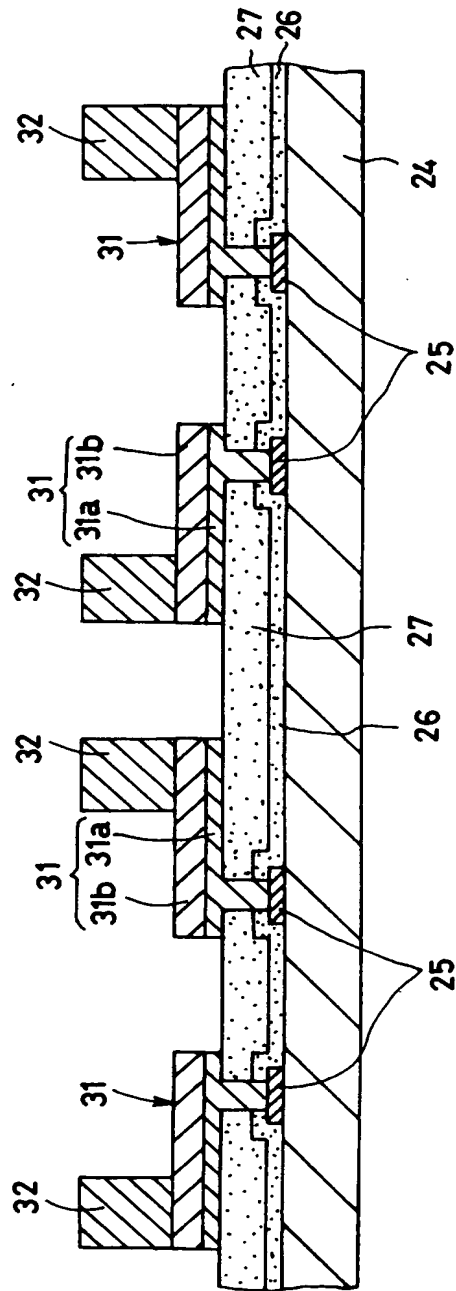
【図 3】



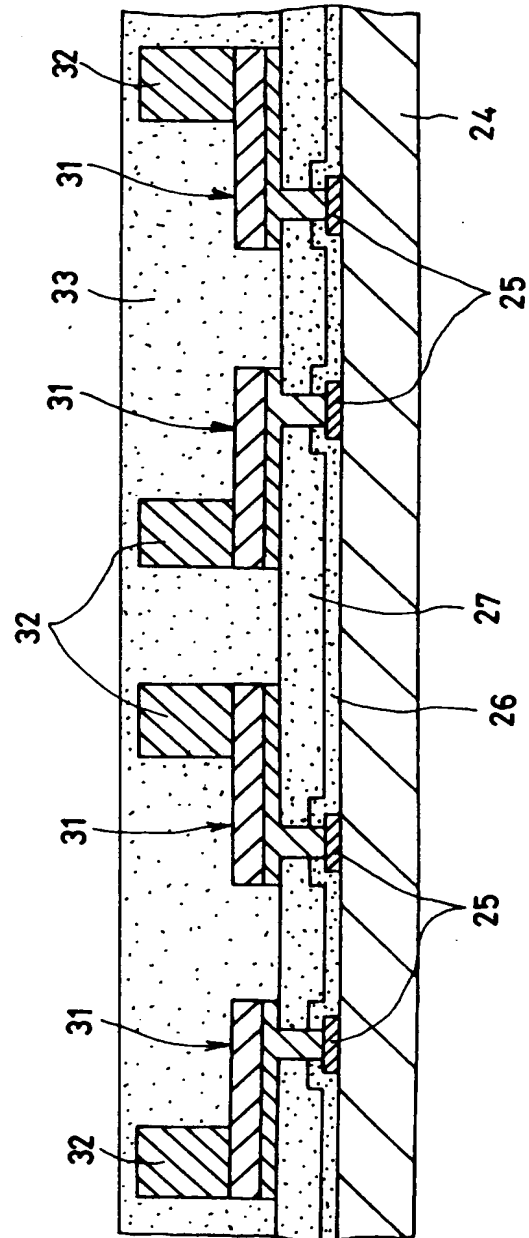
【図 4】



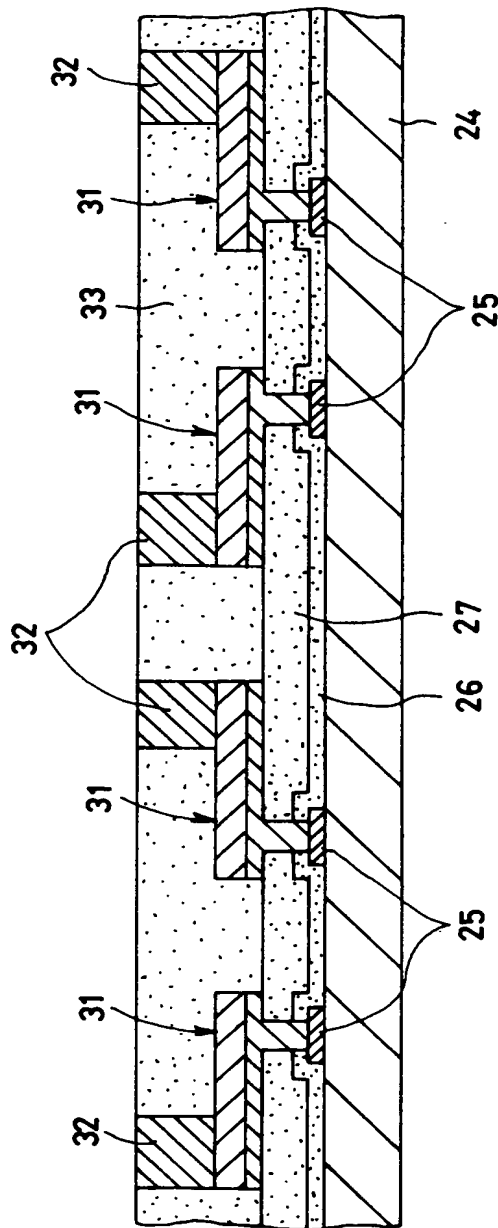
【図 5】



【図 6】

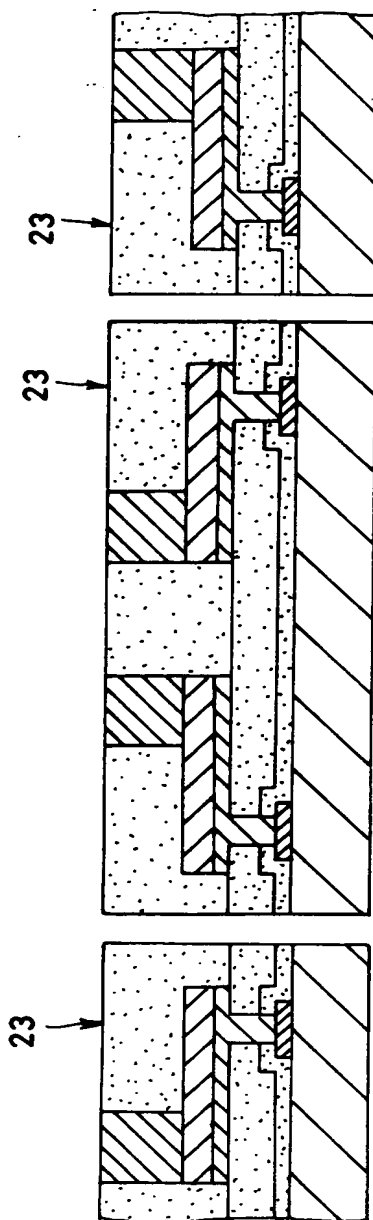


【図 7】

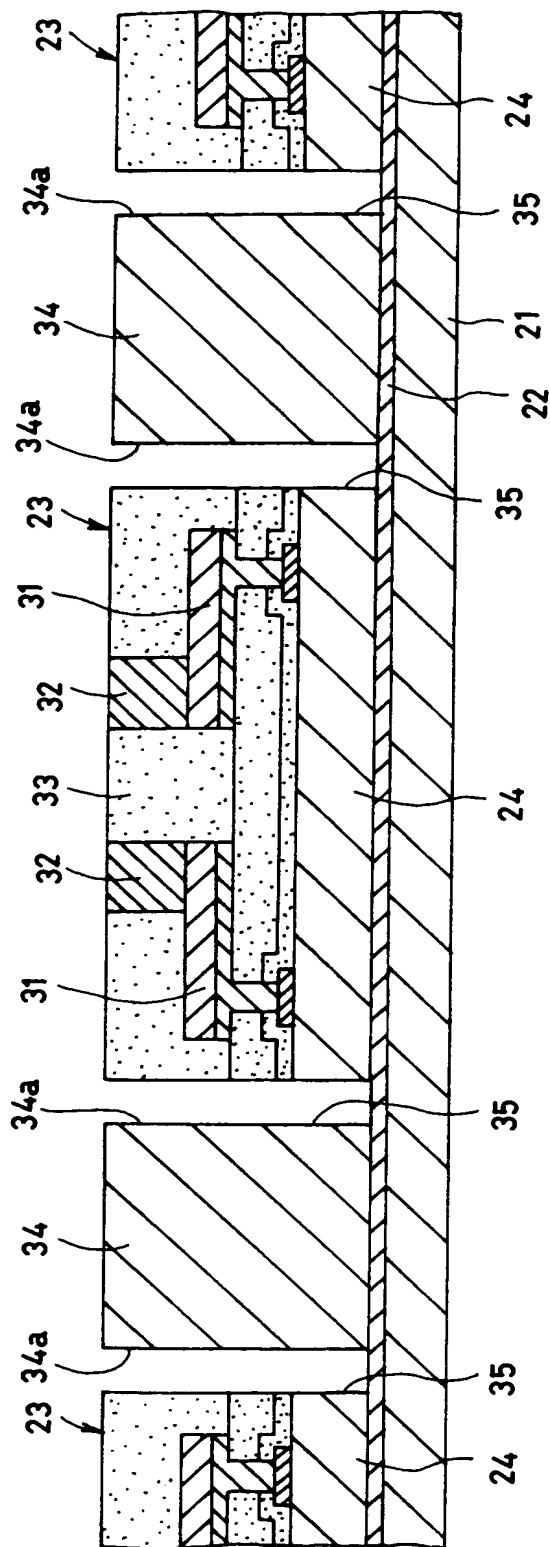




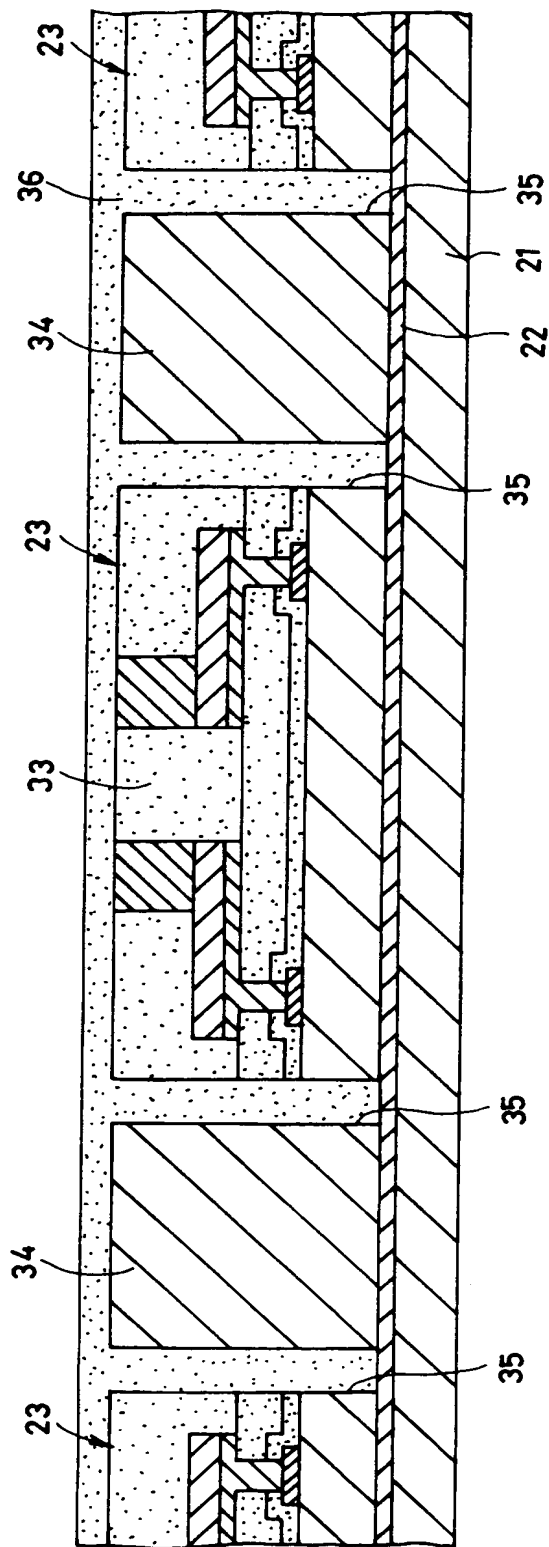
【図 8】



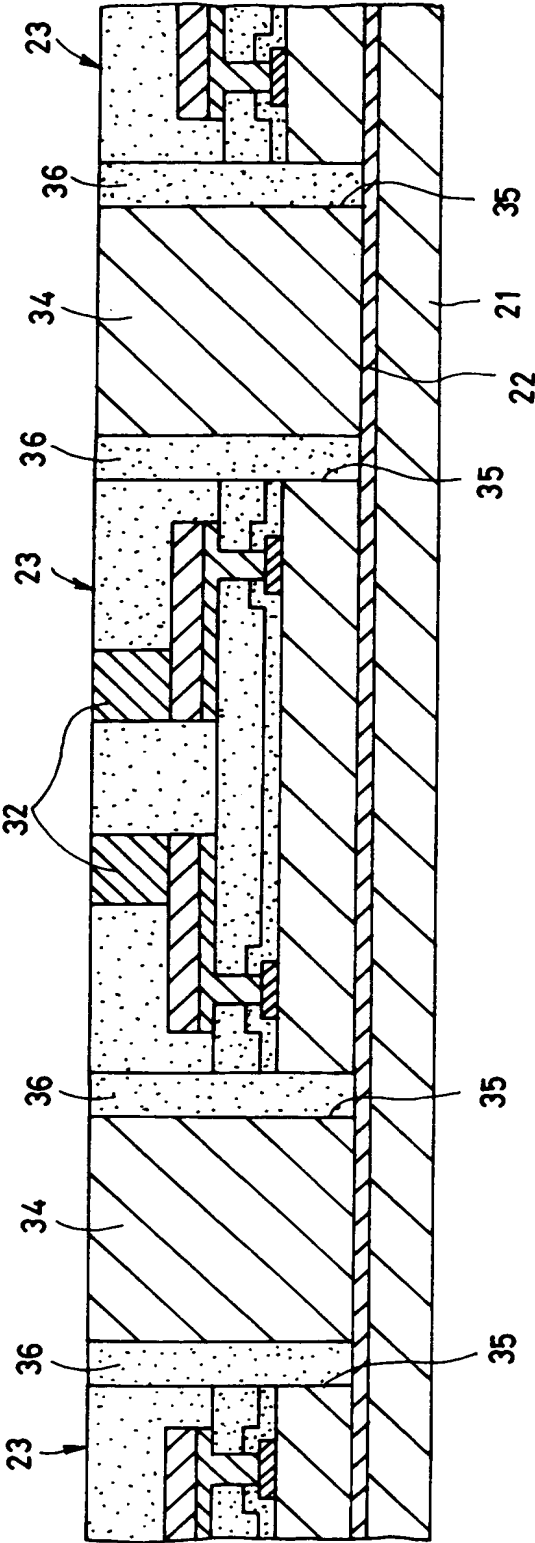
【図 9】



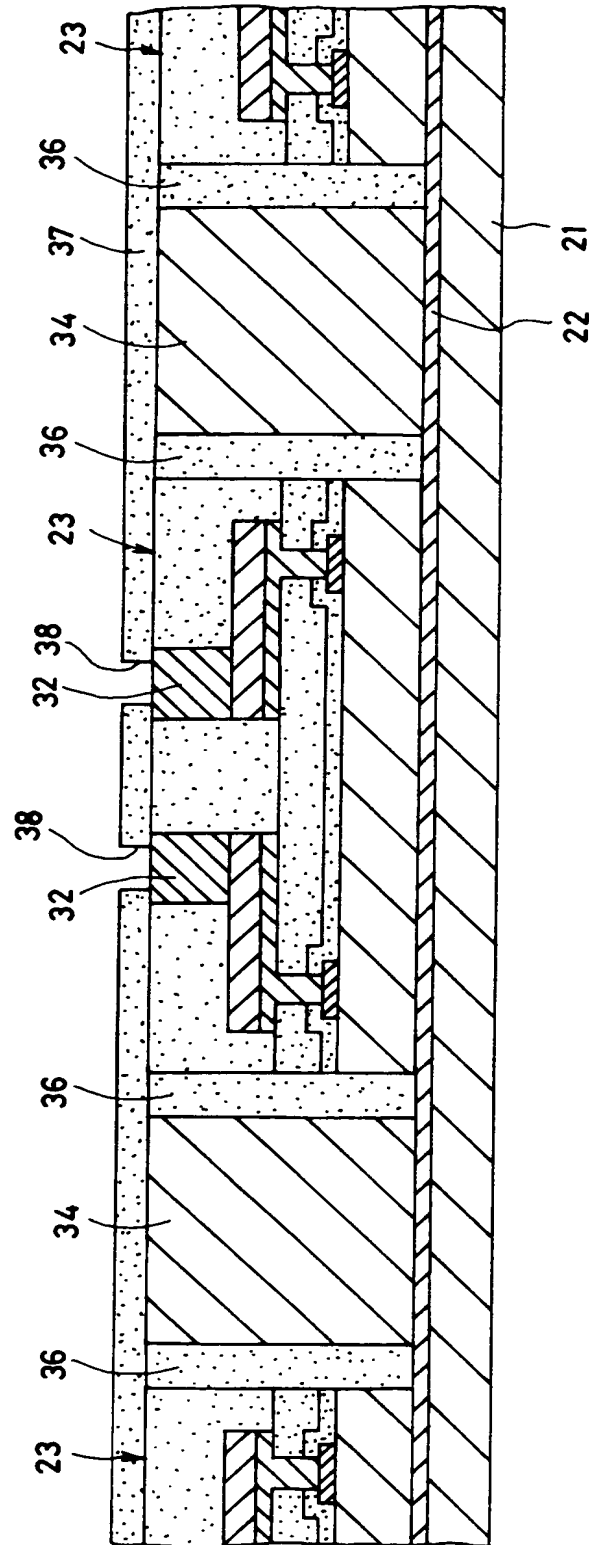
【図 10】



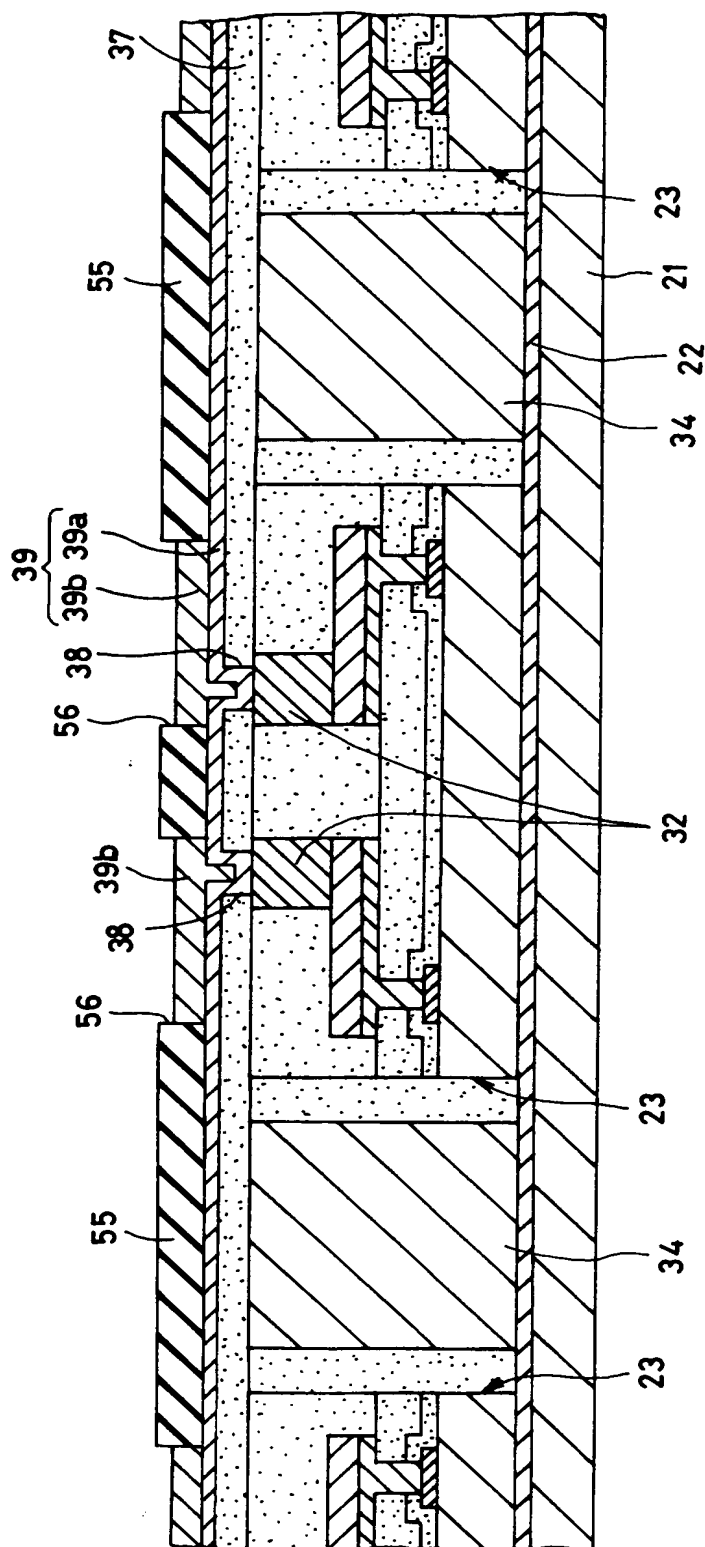
【図 11】



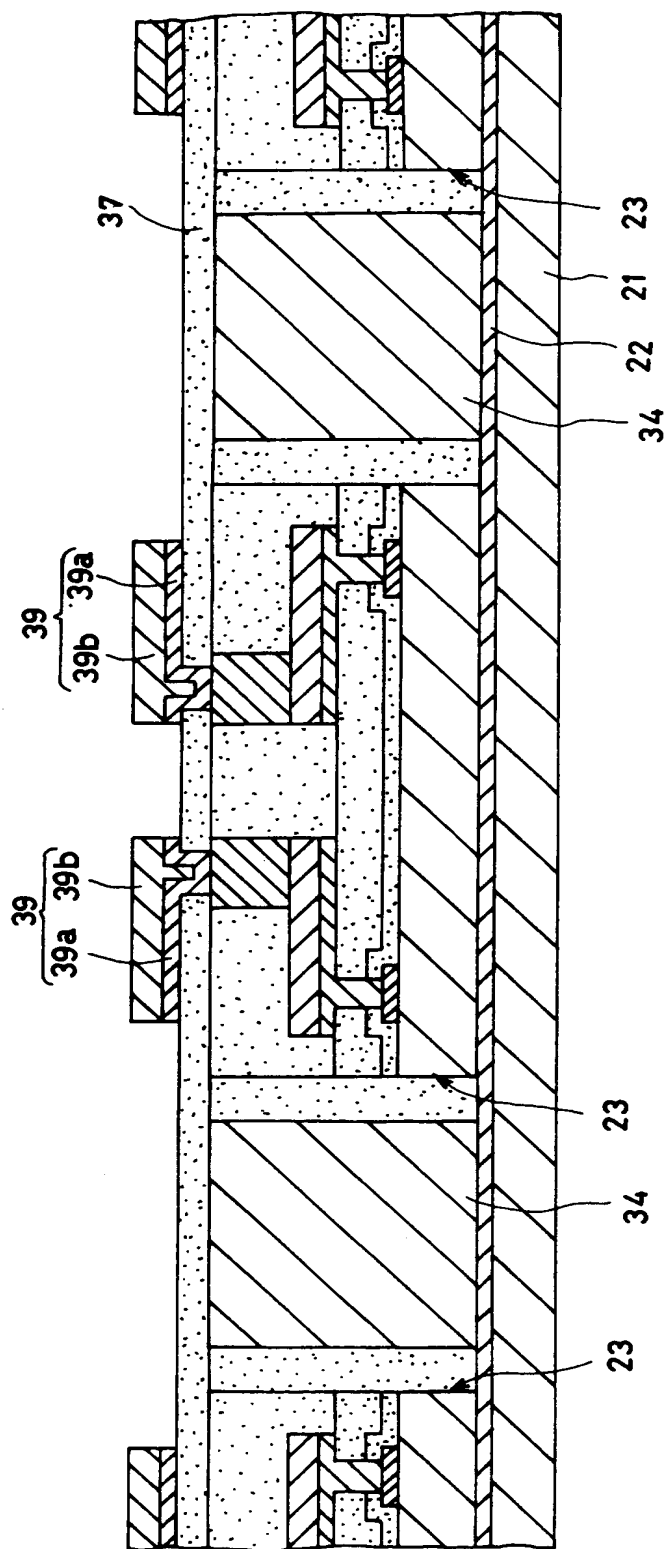
【図 12】



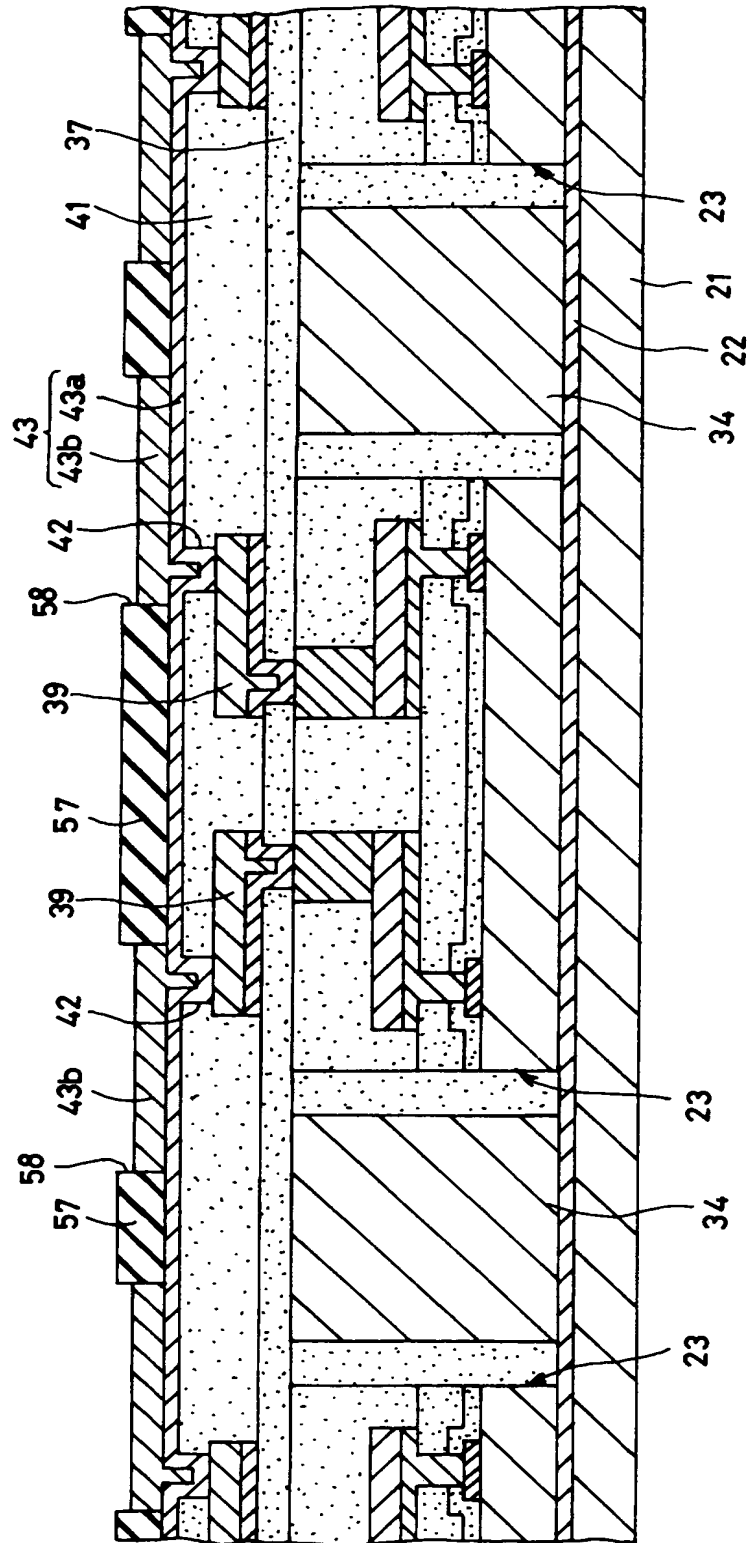
【図 13】



【図 14】

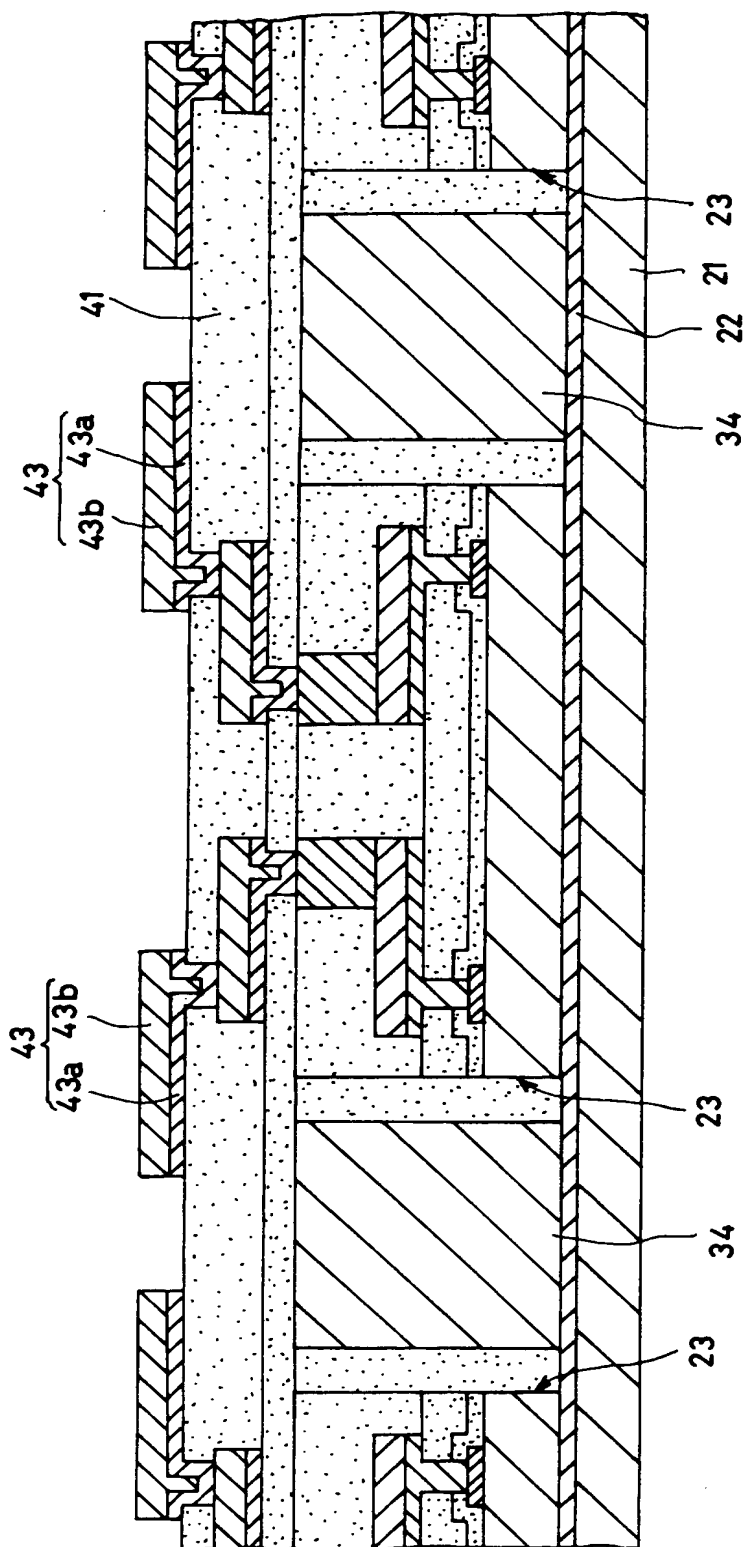


【図 15】

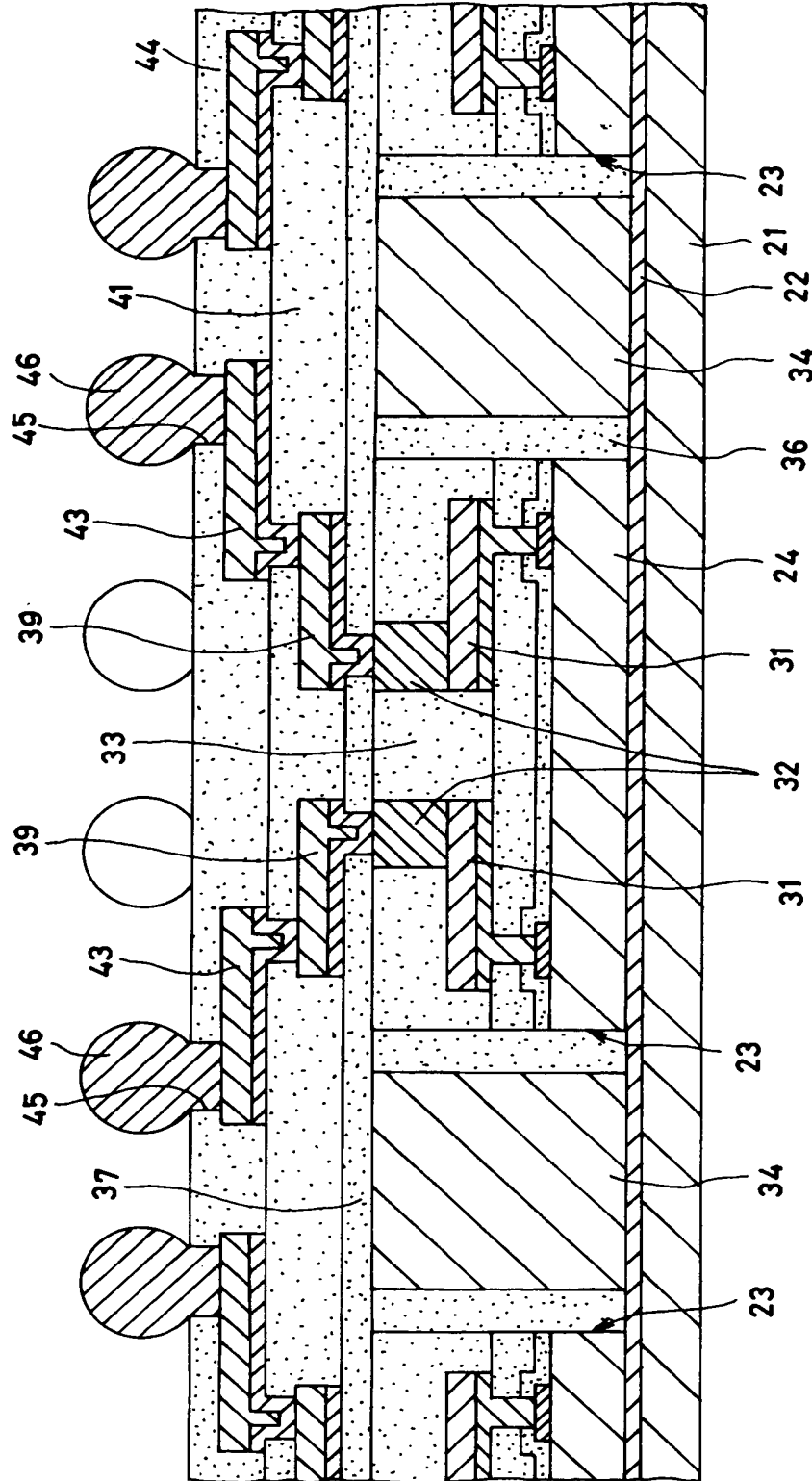




【図 16】

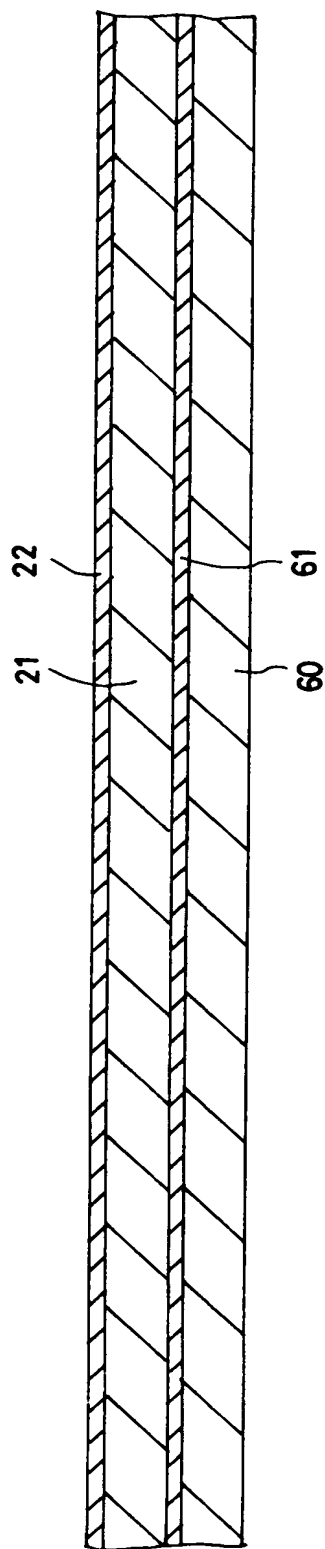


【図 17】

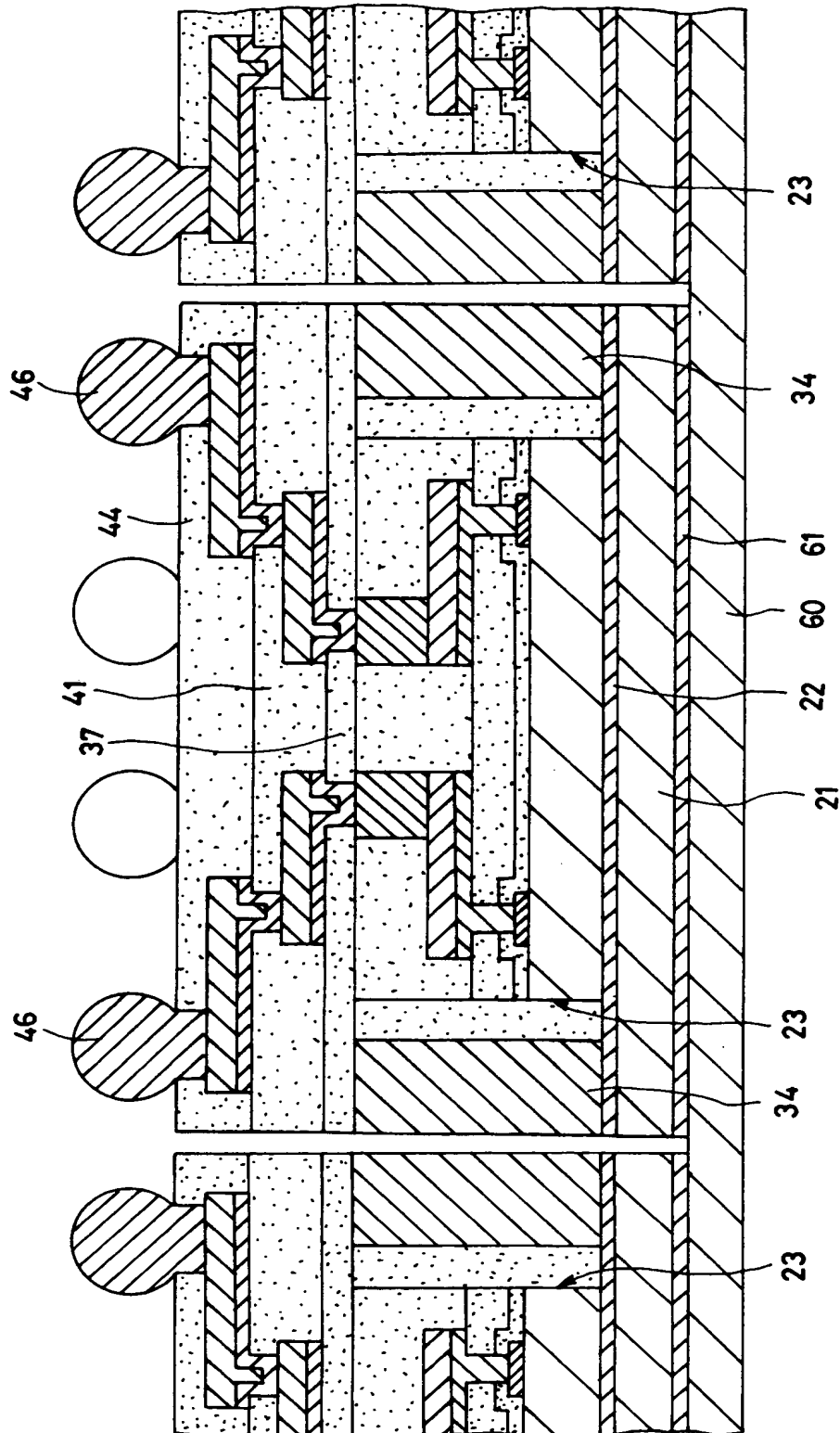




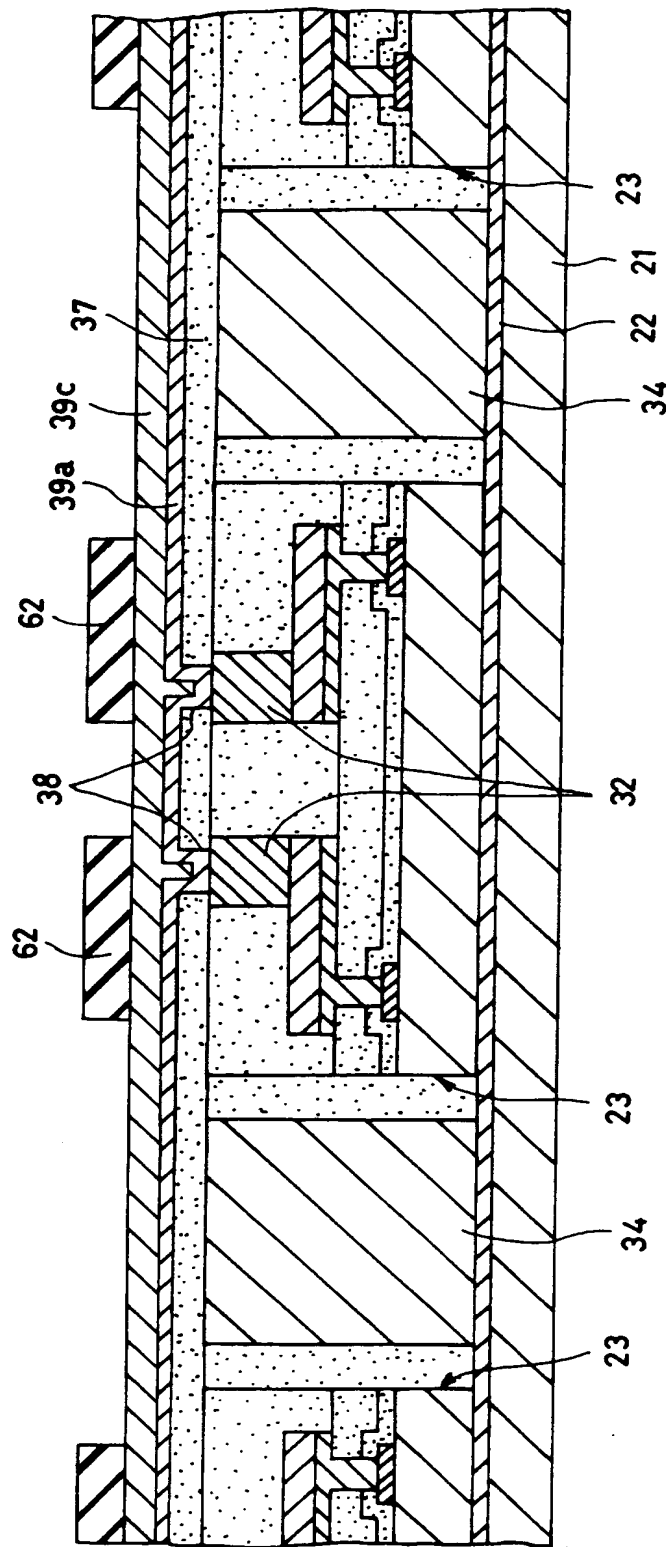
【図 19】



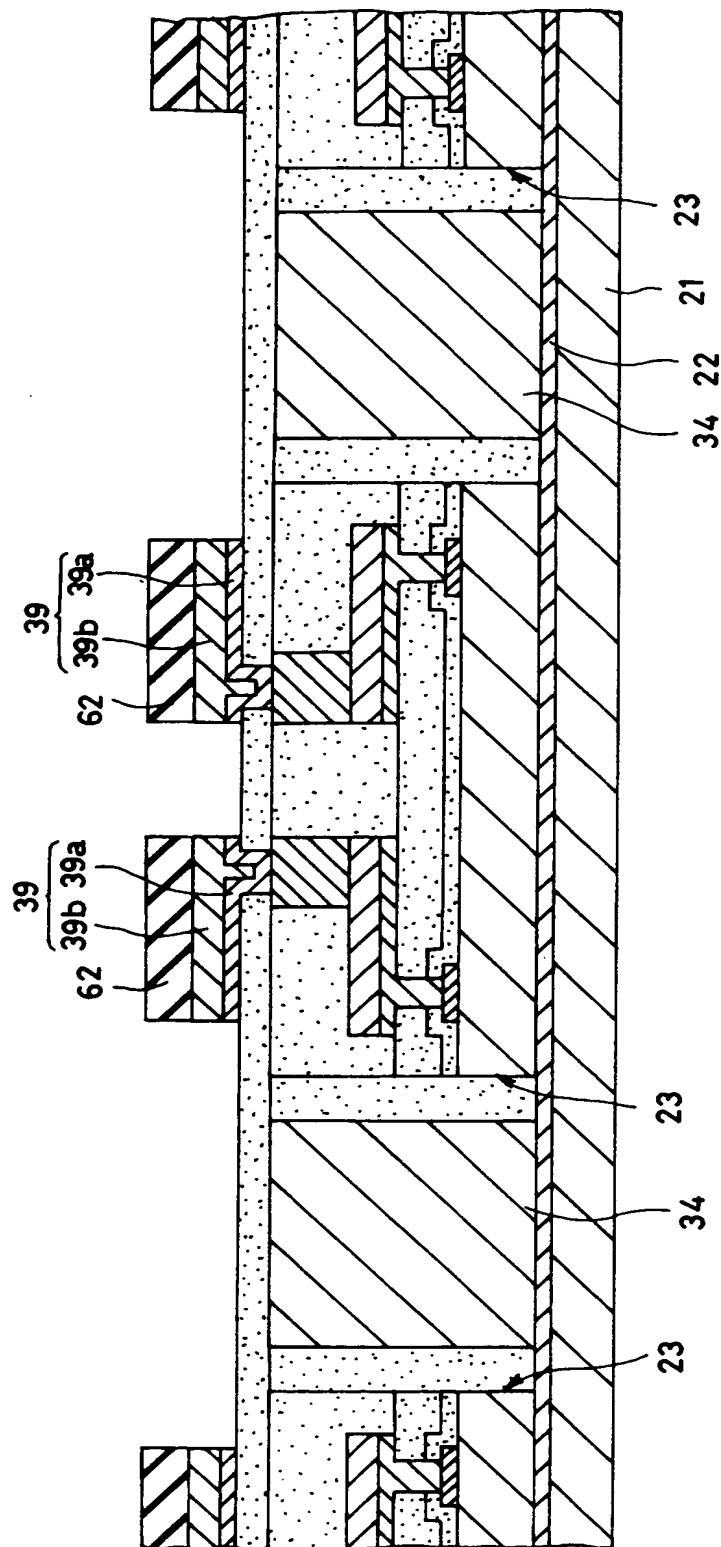
【図 20】



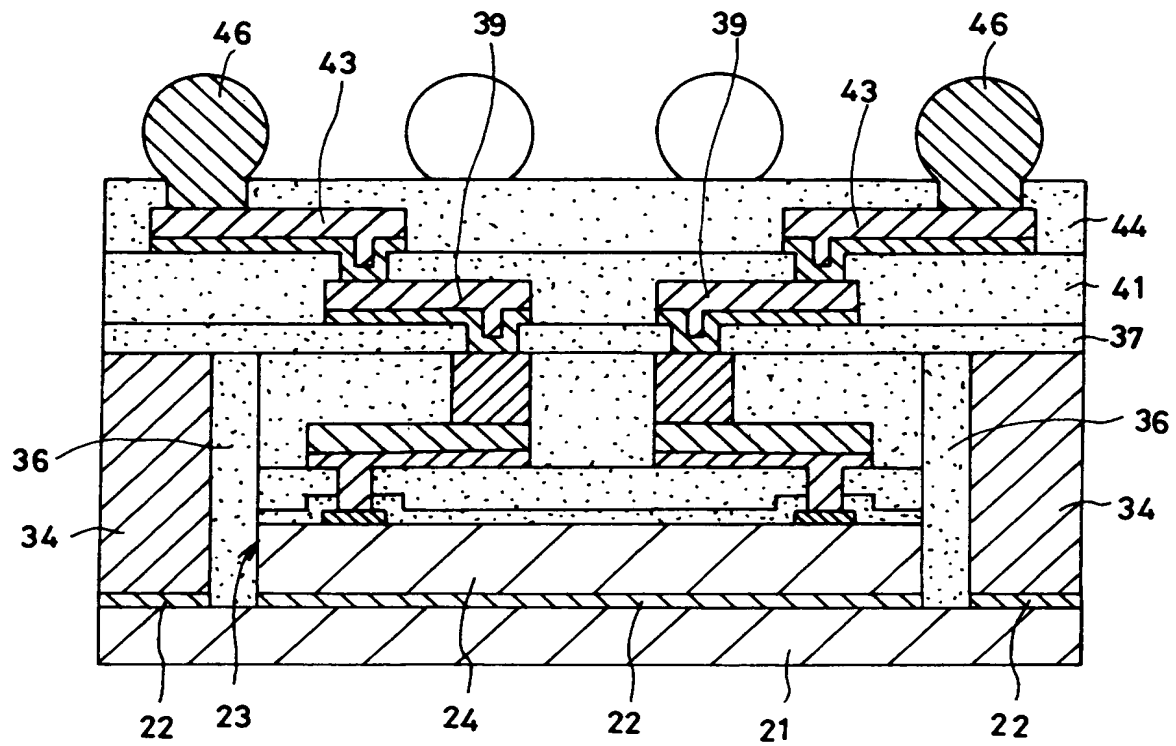
【図 21】



【図 22】

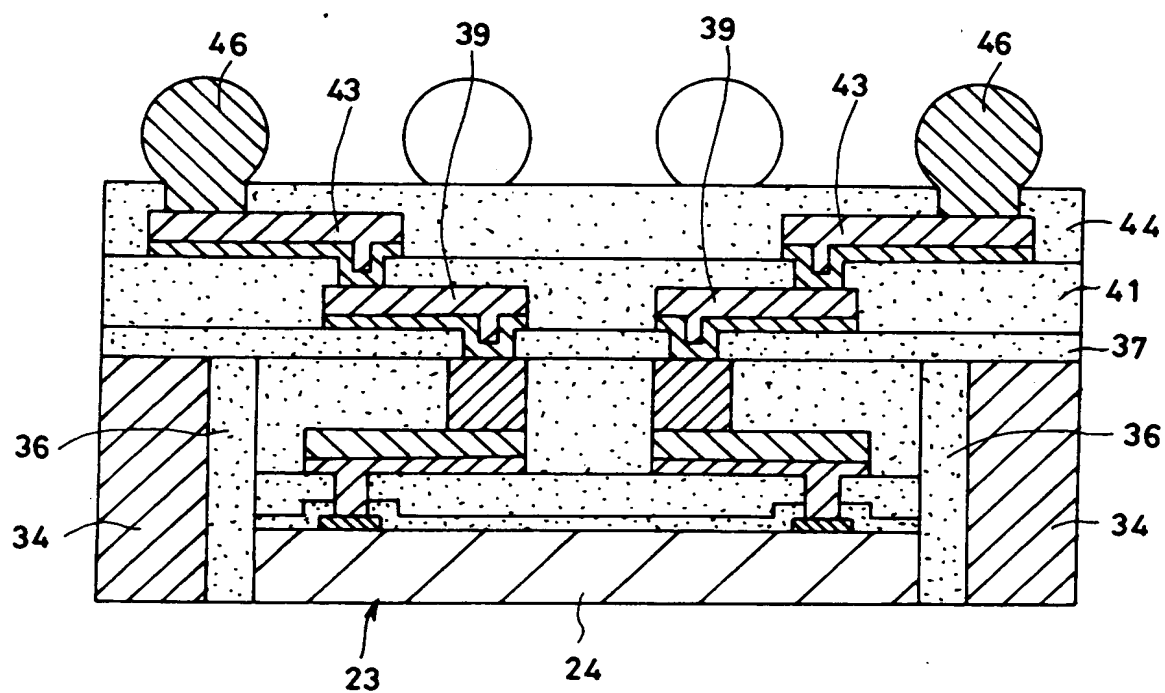


【図 23】

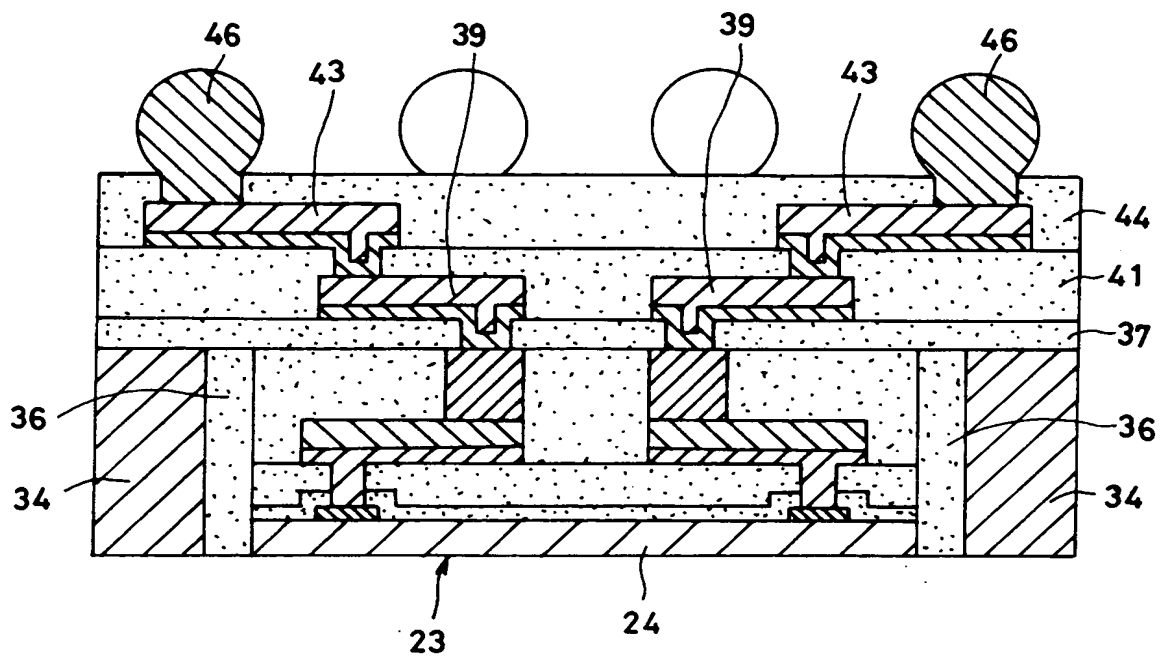




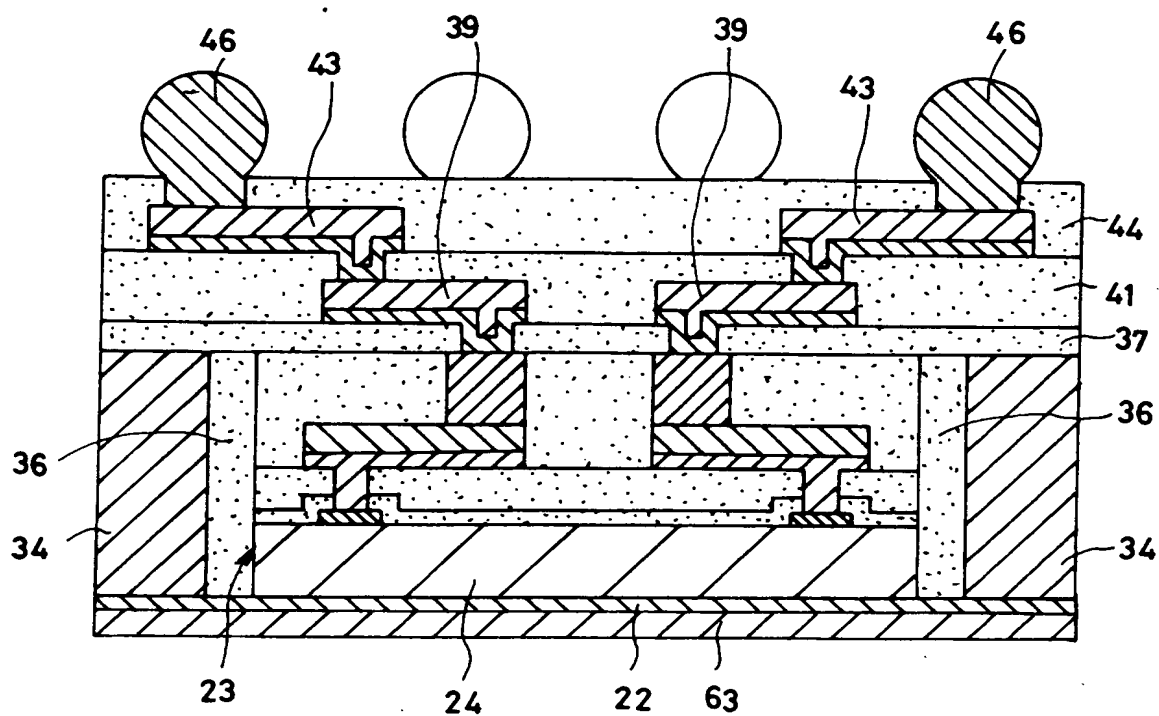
【図 24】



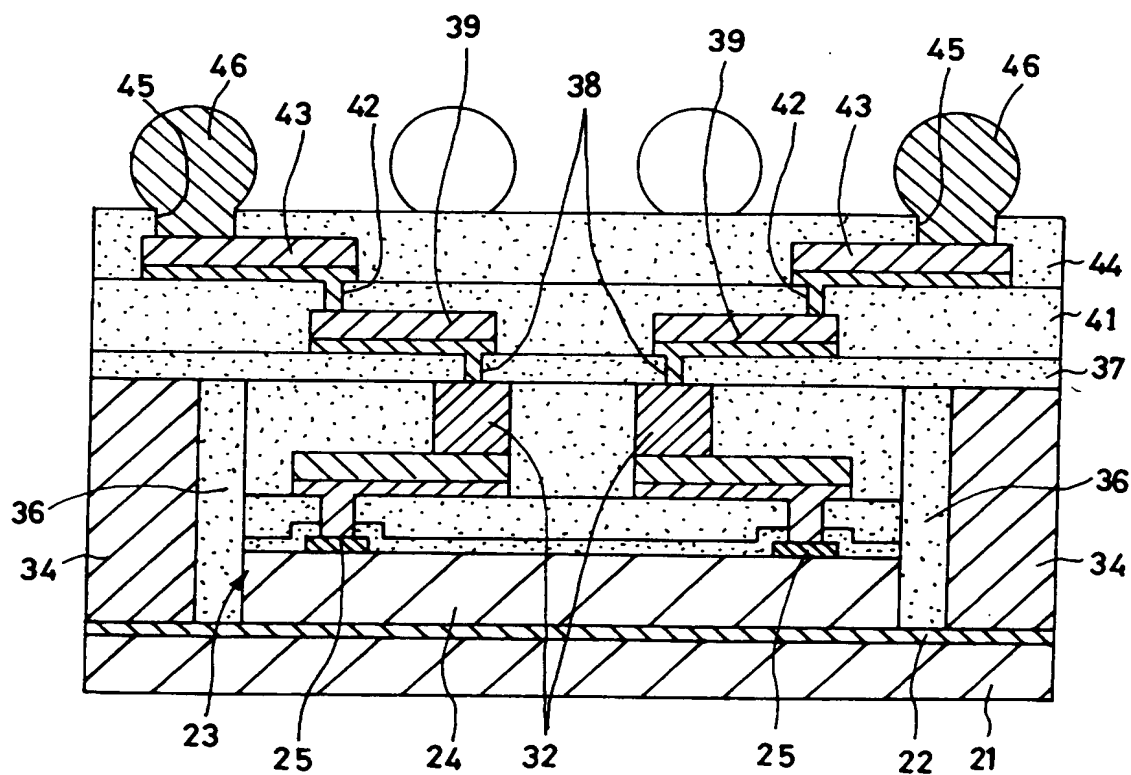
【図 25】



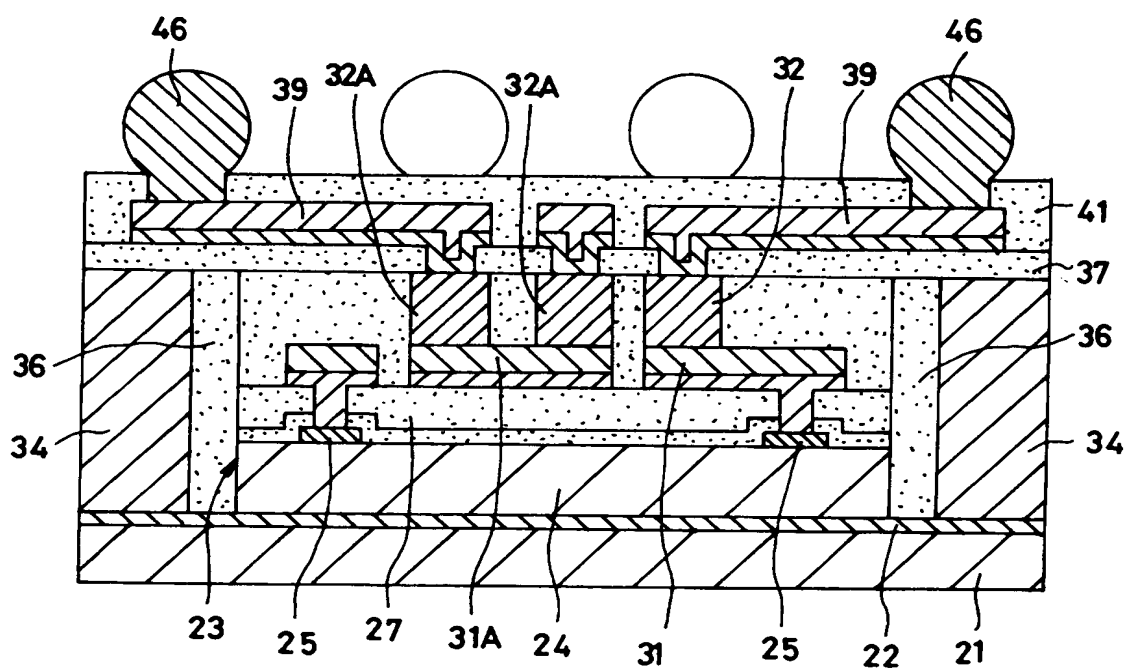
【図 26】



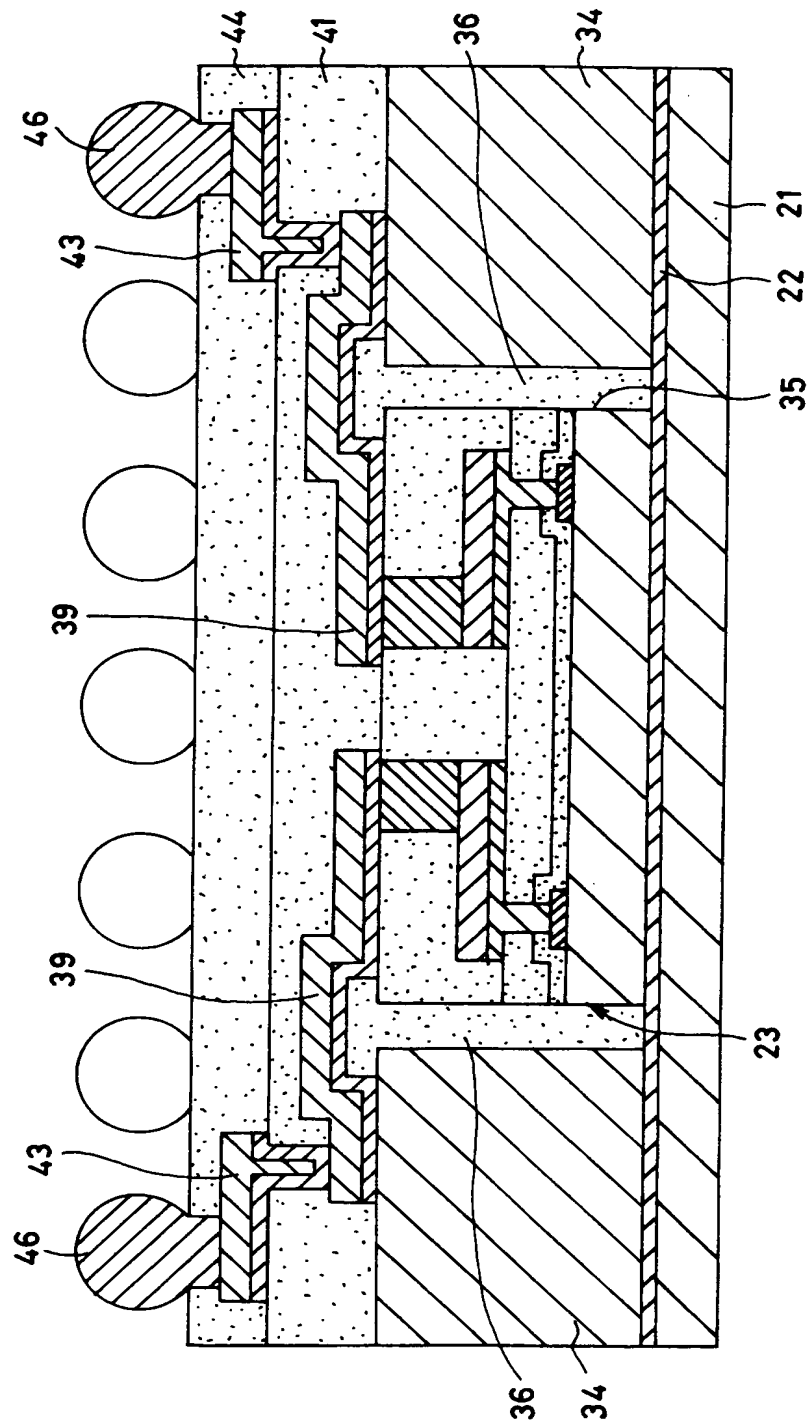
【図 27】



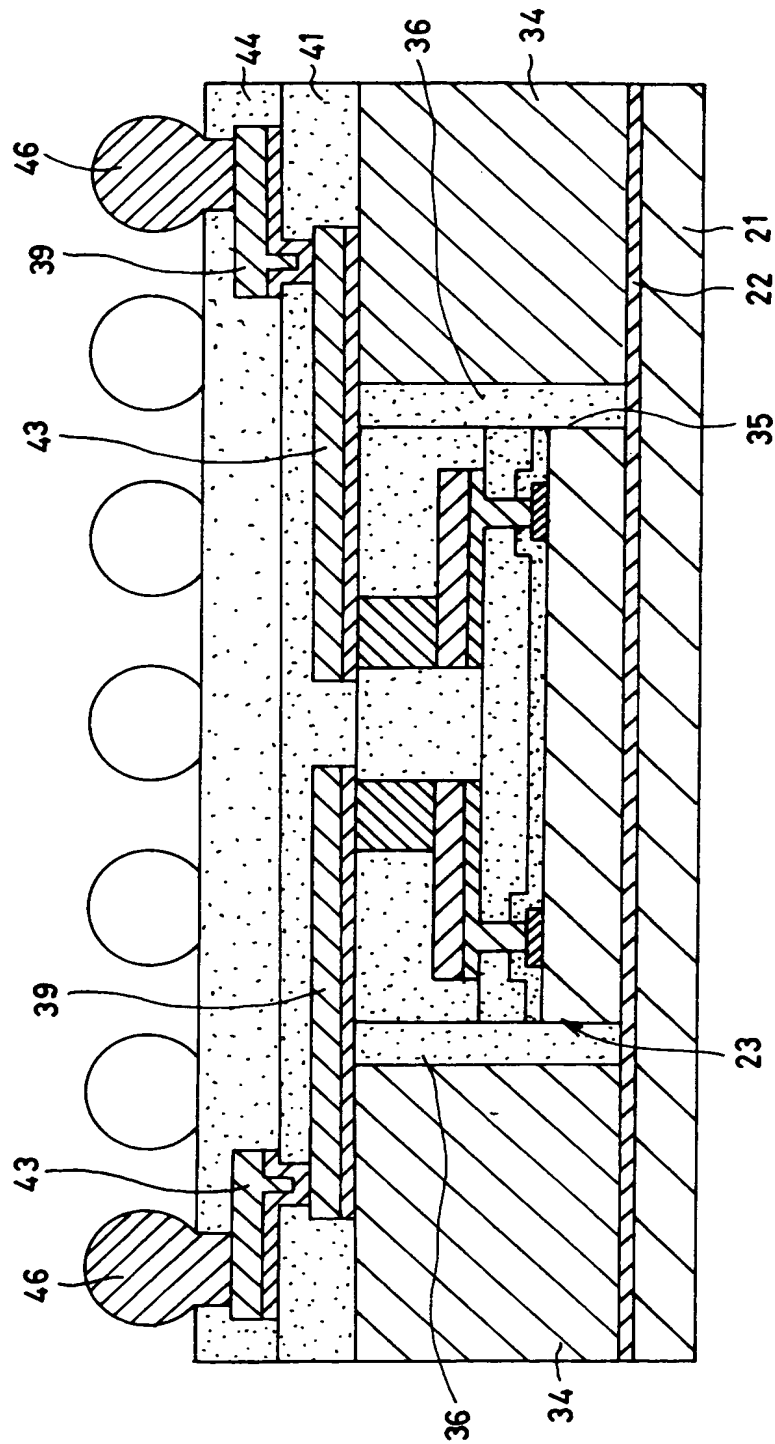
【圖 28】



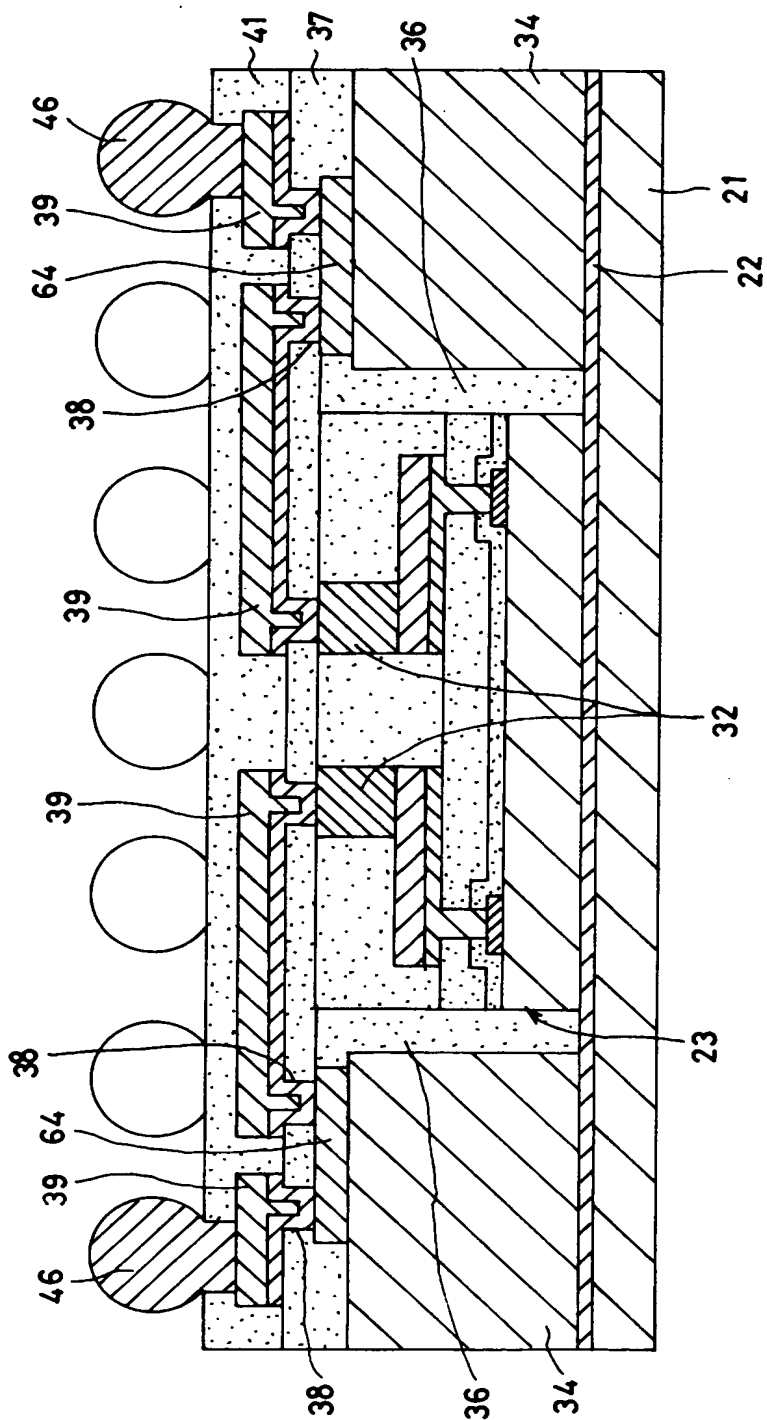
【図 29】



【図 30】



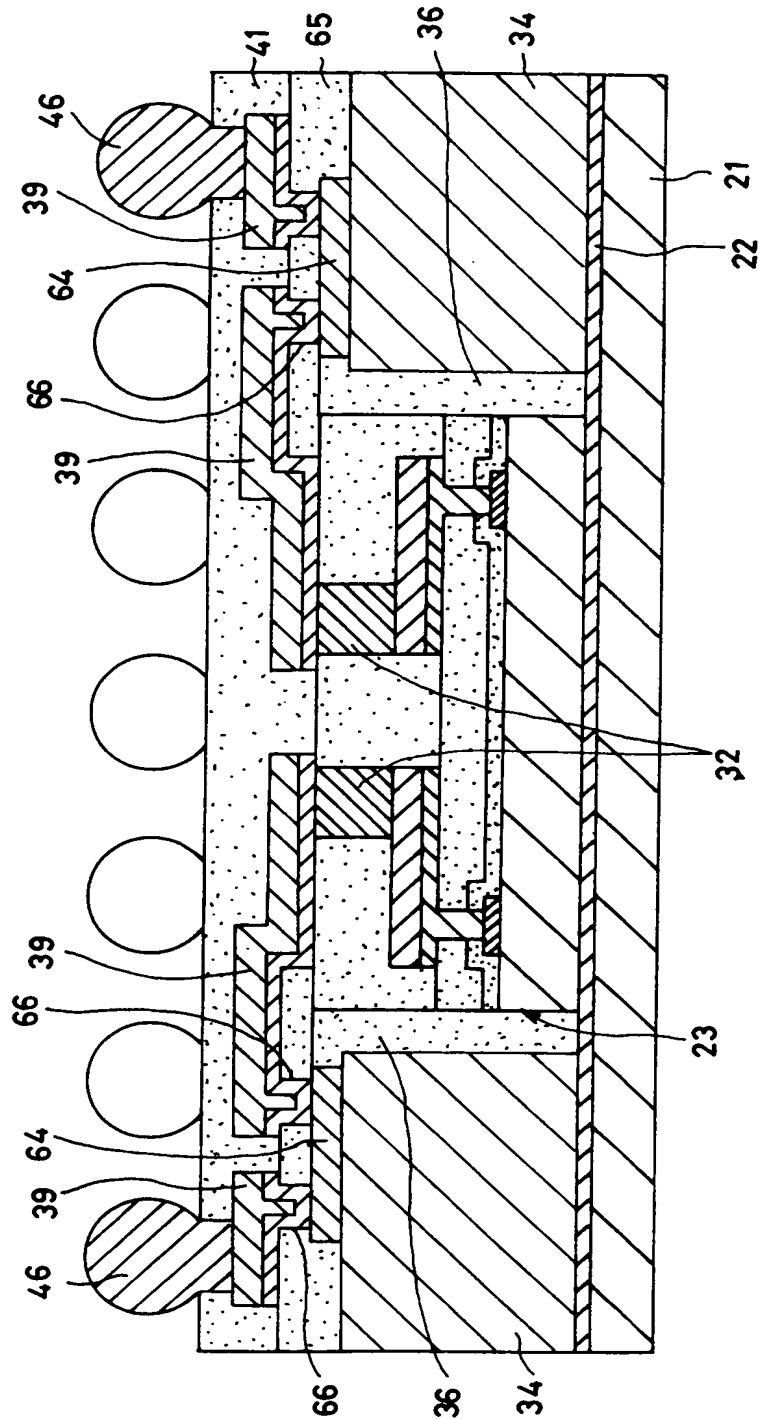
【図 31】



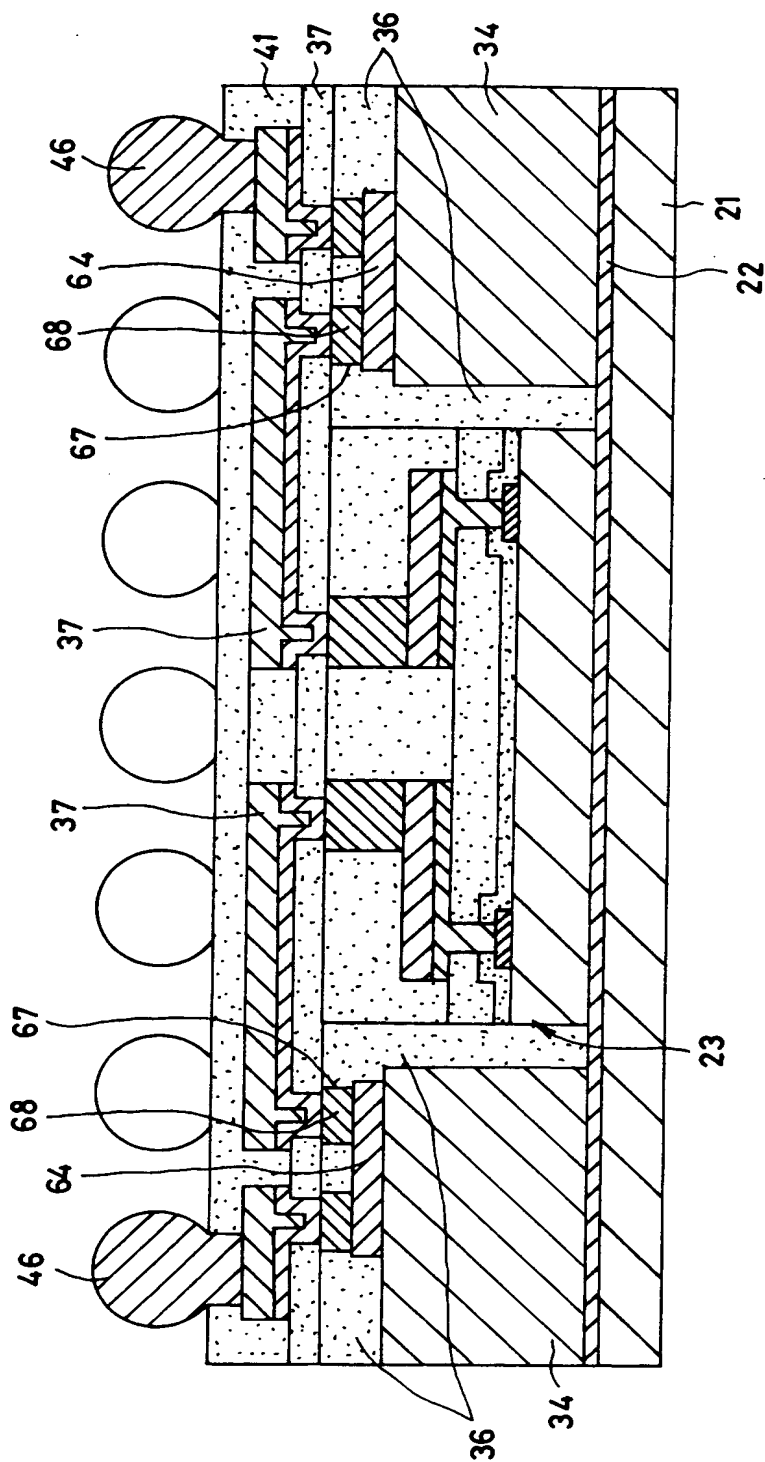




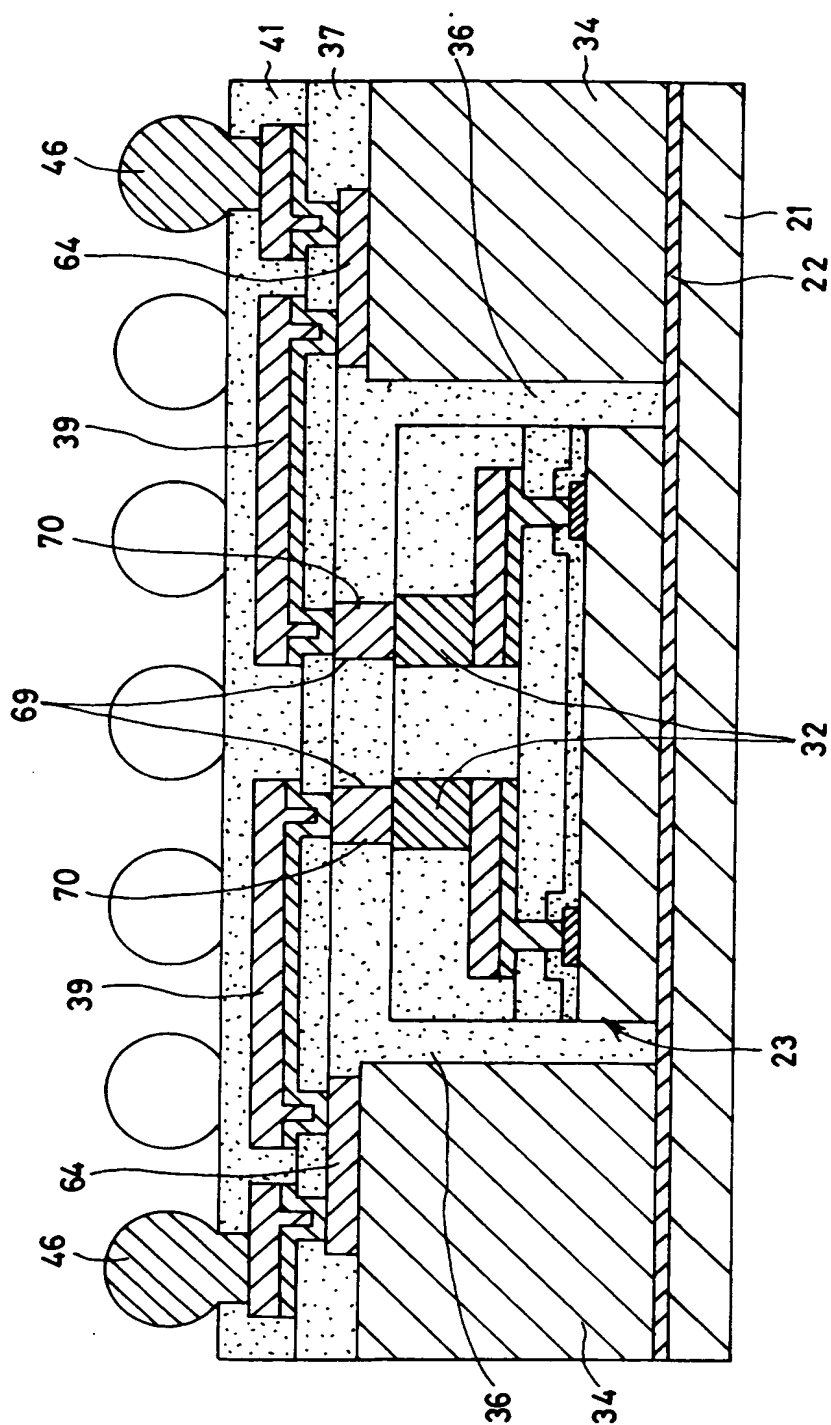
【図 33】



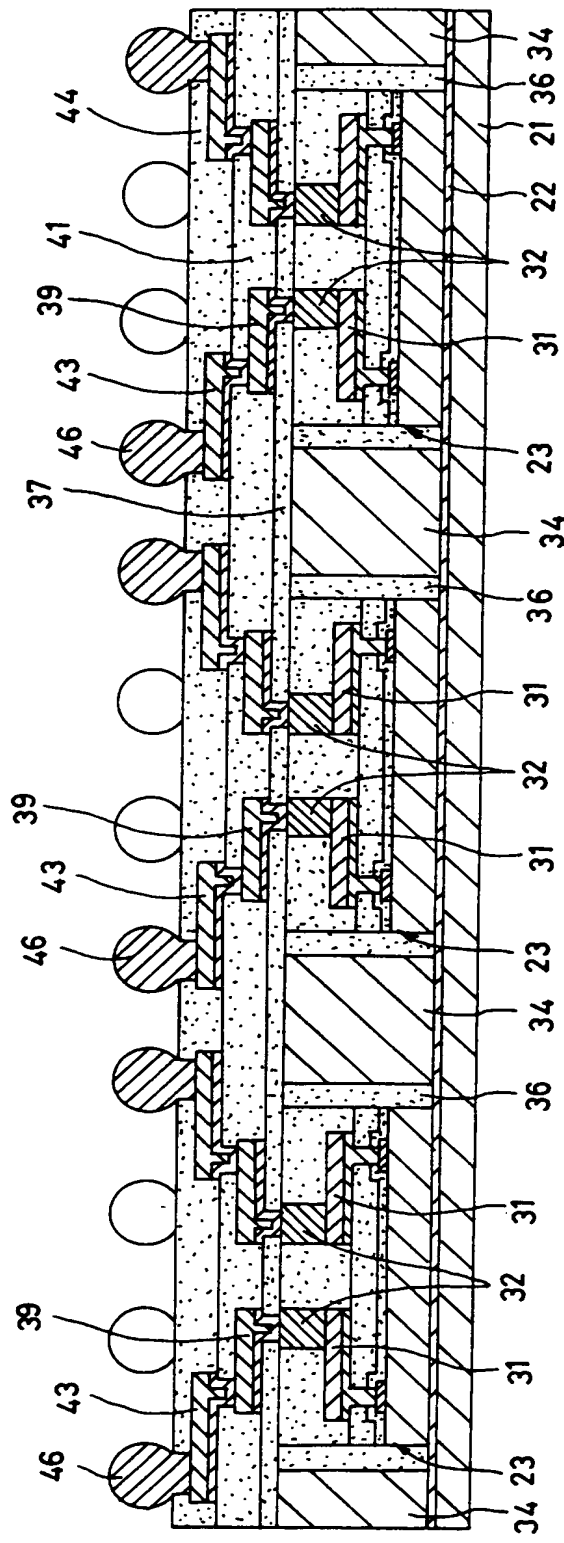
【図 34】



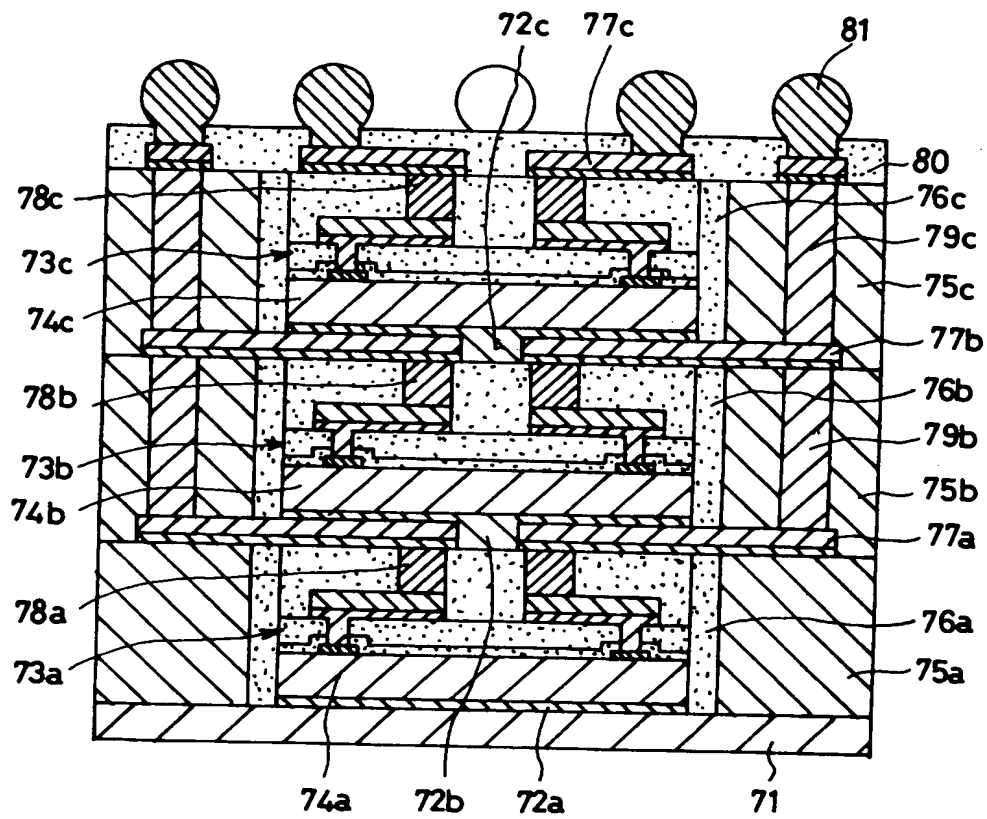
【図 35】



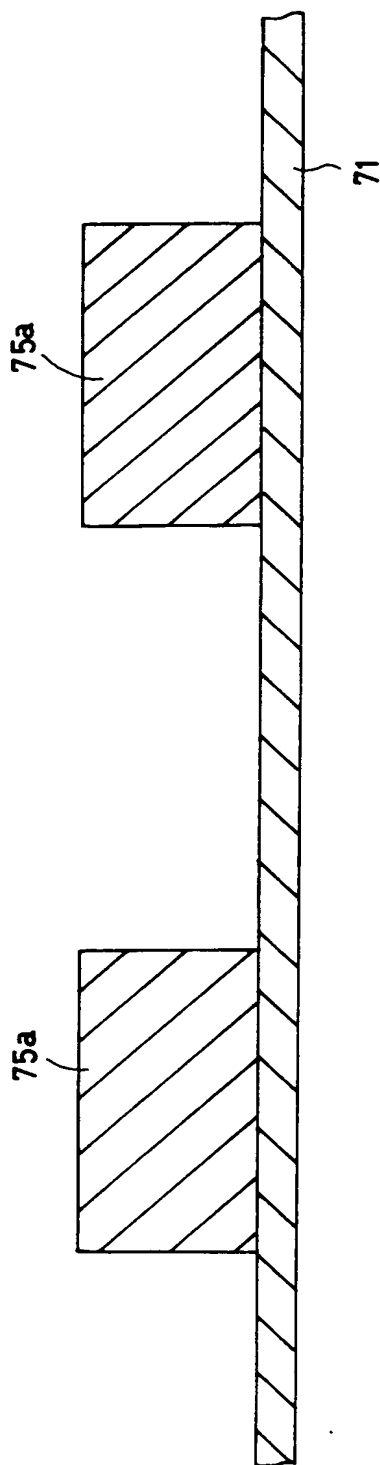
【図 36】



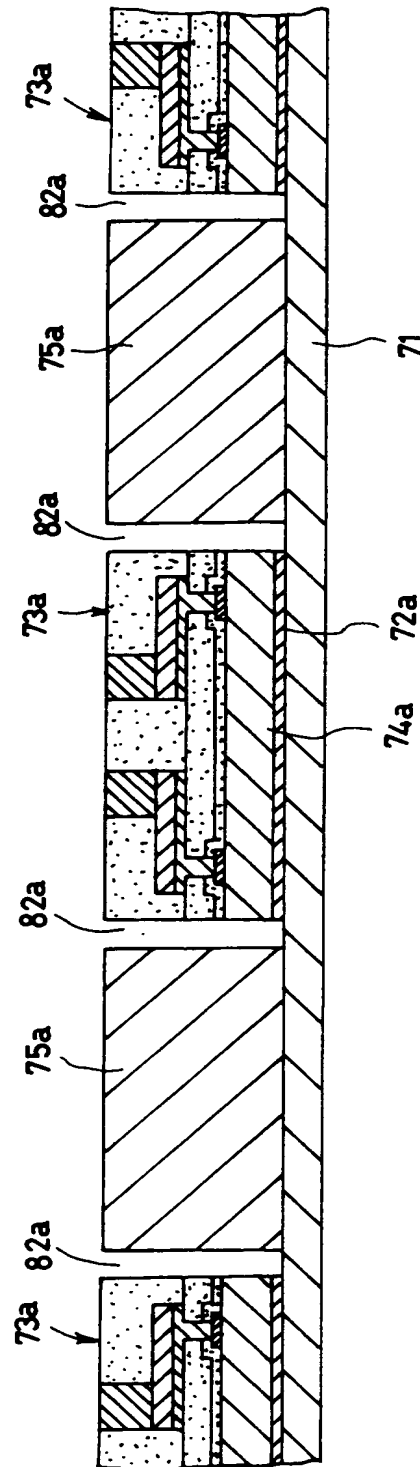
【図 37】



【図 38】

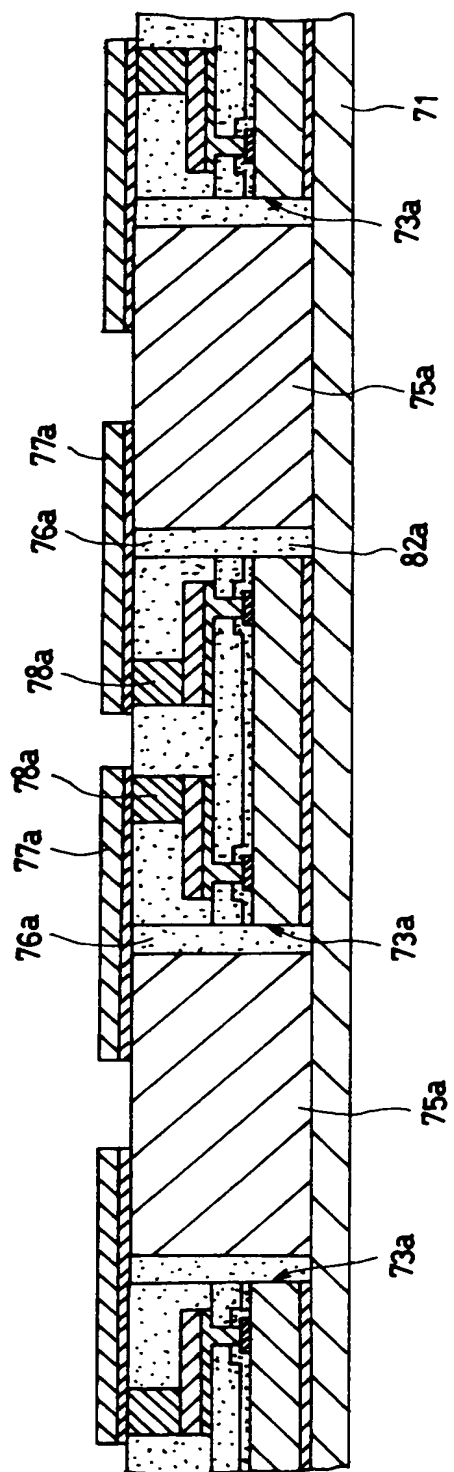


【図 39】

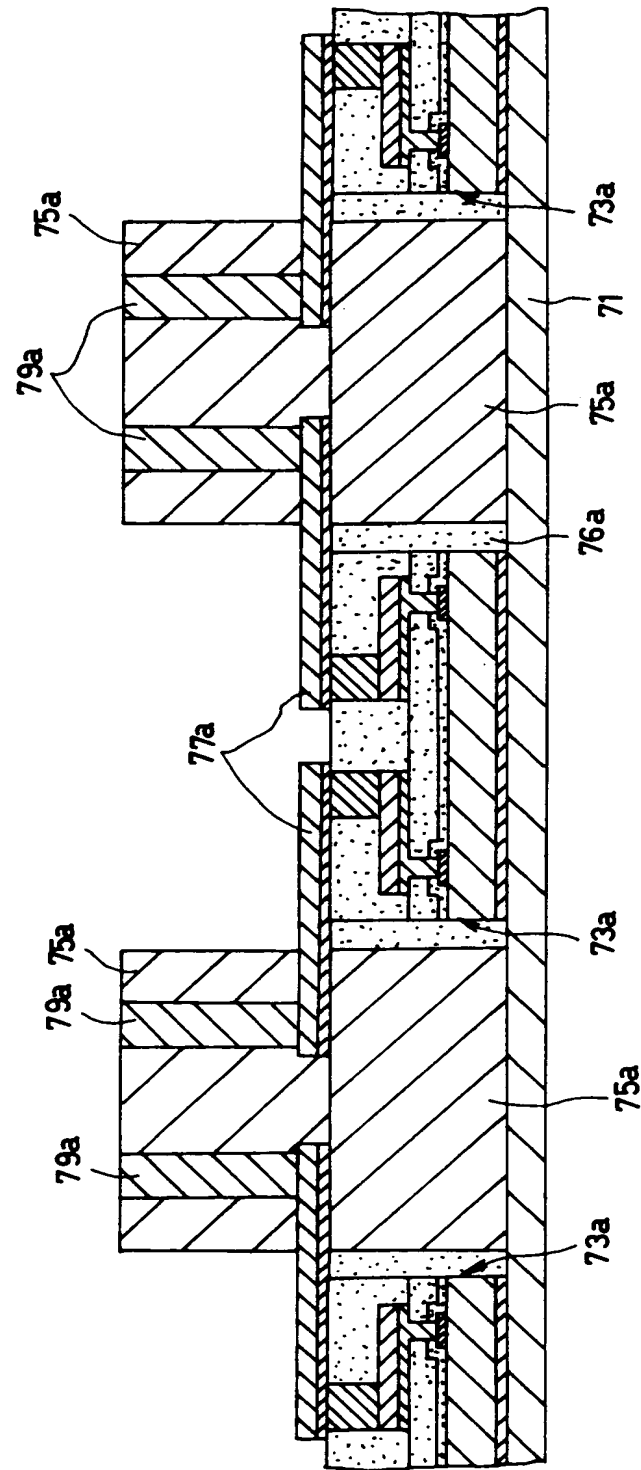




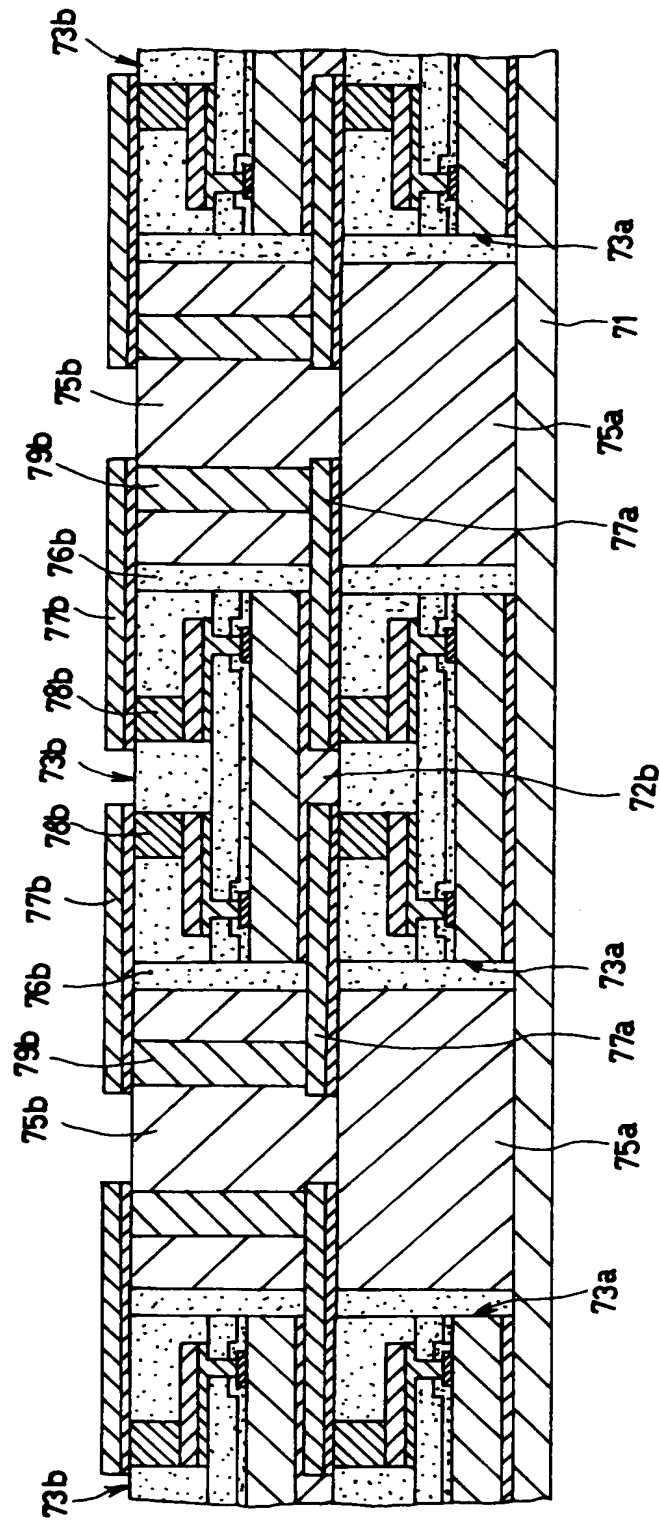
【図 40】



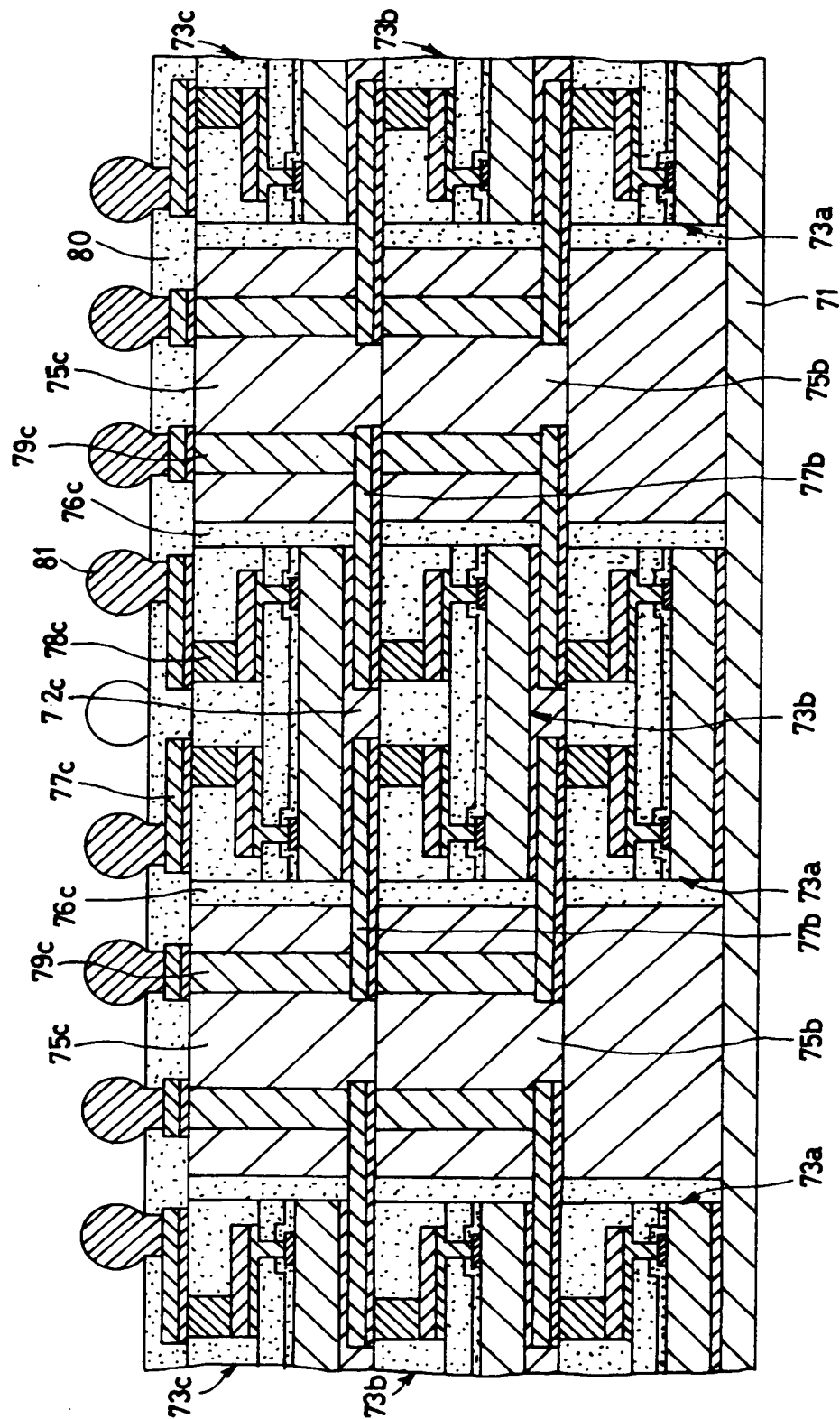
【図 4 1】



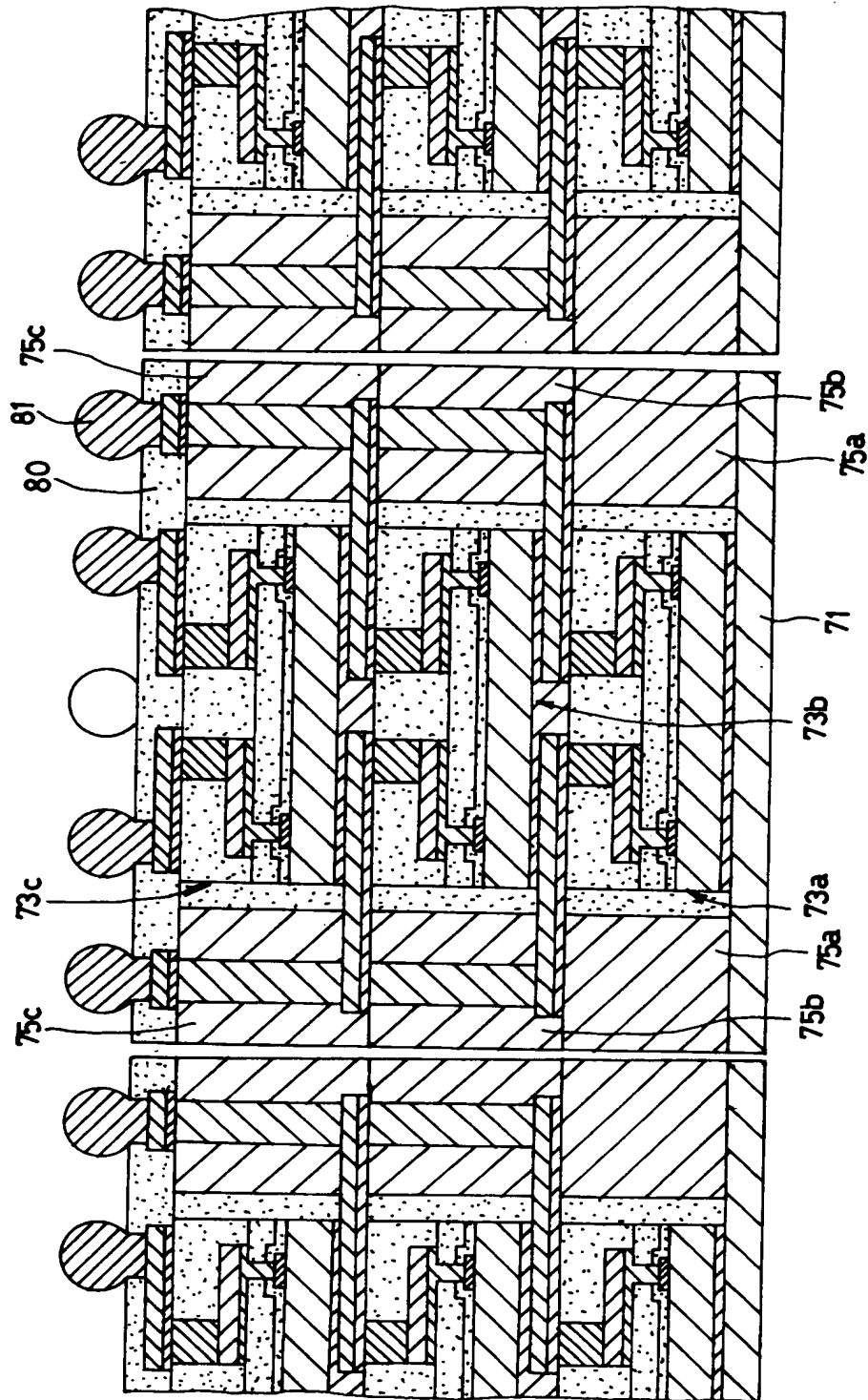
【図 4 2】



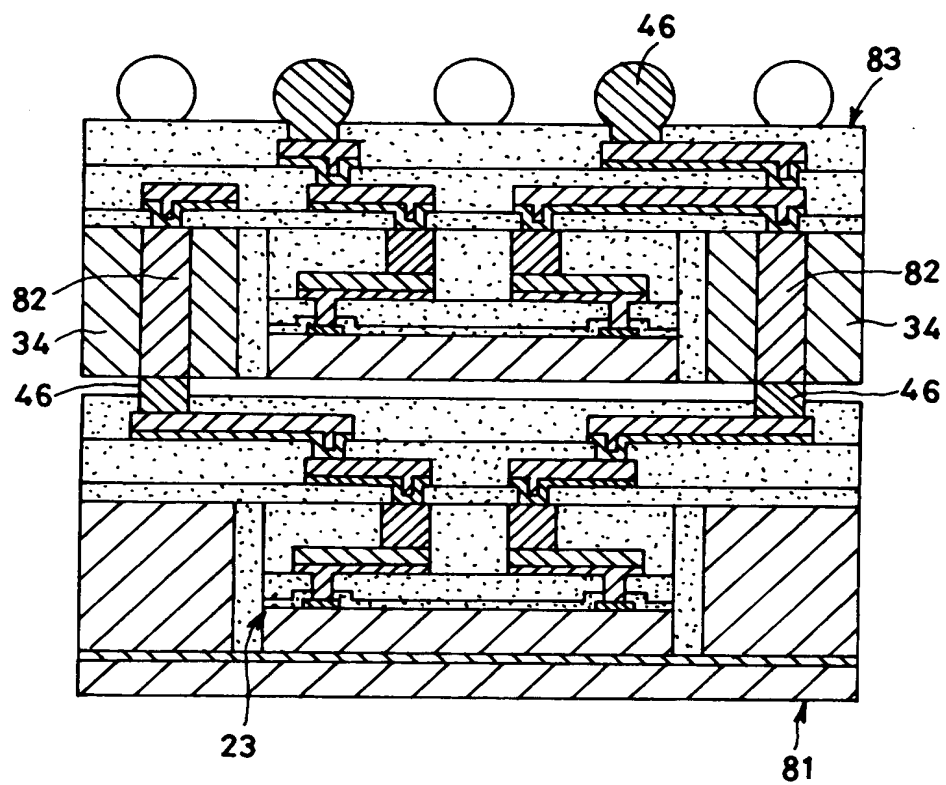
【図 43】



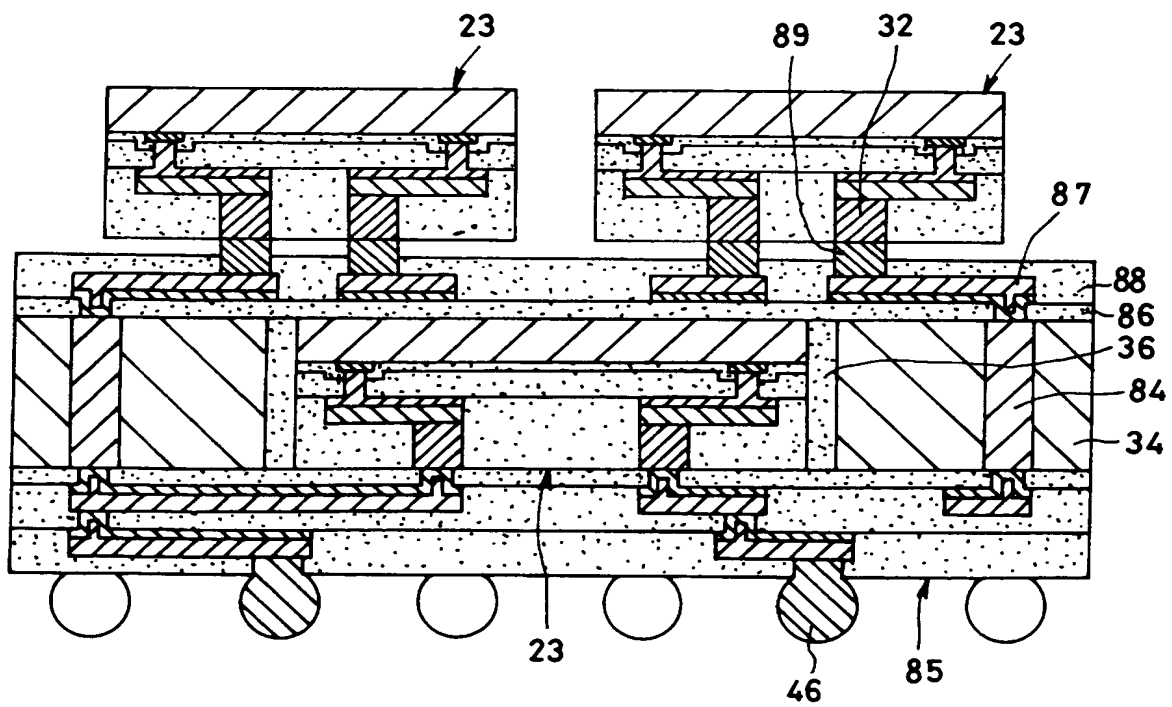
【図 44】



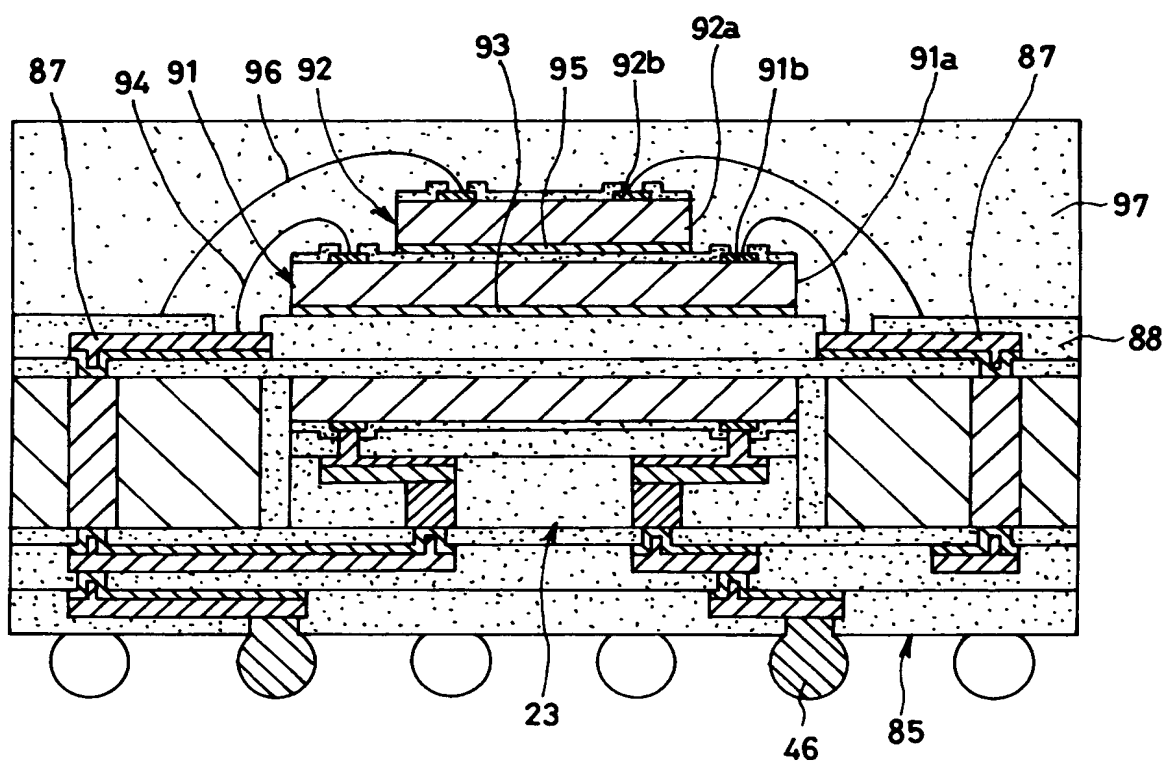
【図 45】



【図 46】

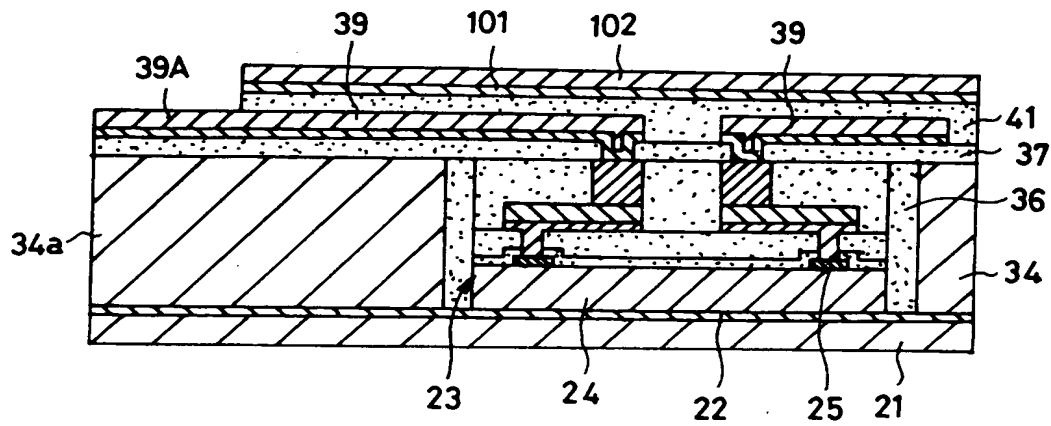


【図 47】

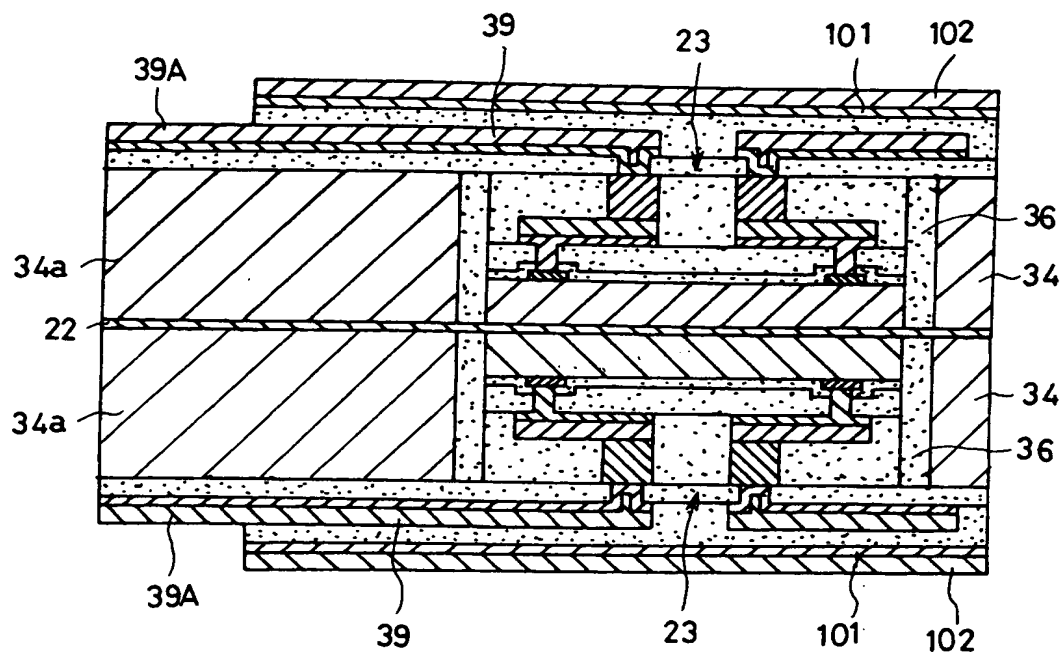




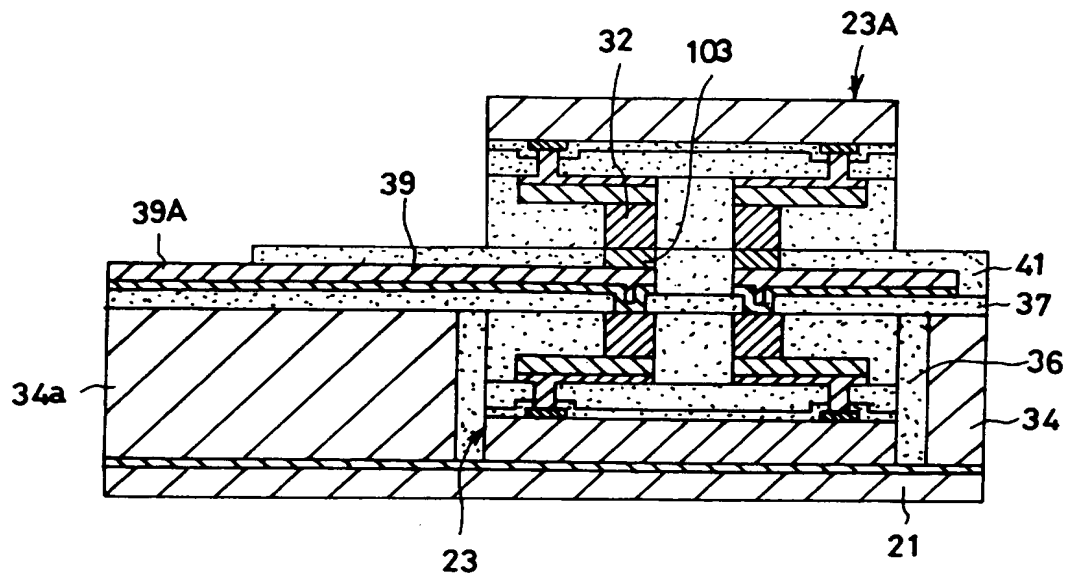
【図 48】



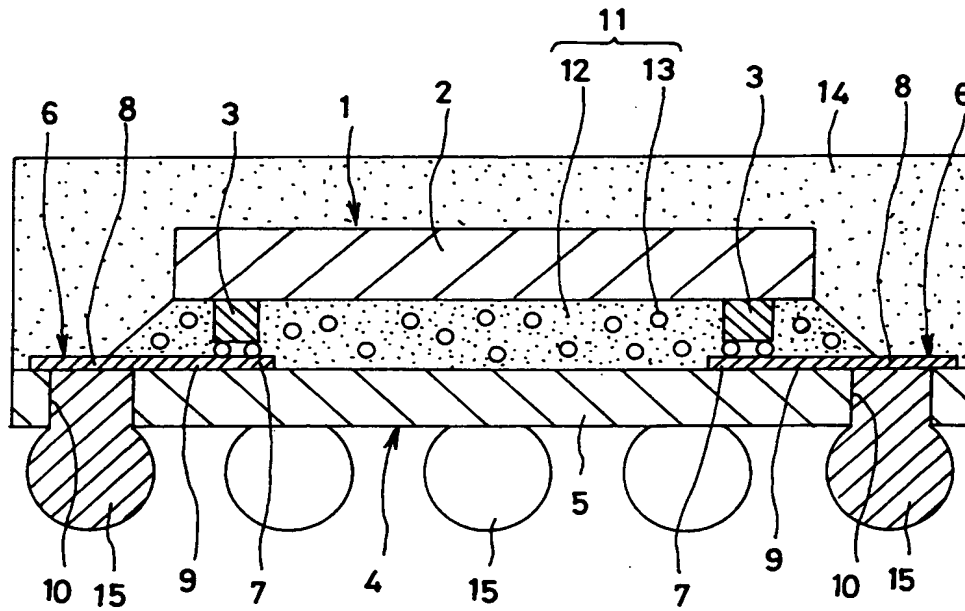
【図 49】



【図 50】



【図 51】



【書類名】 要約書

【要約】

【課題】 例えば B G A と呼ばれる半導体装置の製造に際し、シリコン基板と半田ボールとをボンディング工程を経ることなく導電接続する。

【解決手段】 複数の半導体装置に対応するサイズのベース板 2 1 上の接着層 2 2 上に格子状の埋込材 3 4 を接着する。次に、埋込材 3 4 の開口部内における接着層 2 2 上に、シリコン基板 2 4 上に再配線 3 1、柱状電極 3 2 および封止膜 3 3 を設けてなる半導体構成体 2 3 を接着する。次に、半導体構成体 2 3 とその外側の方形枠状の埋込材 3 4 との間に封止膜 3 6 を形成する。次に、第 1 の上層絶縁膜 3 7、第 1 の上層再配線 3 9、第 2 の上層絶縁膜 4 1、第 2 の上層再配線 4 3、第 3 の上層絶縁膜 4 4 を順次、積層状に形成し、次いで半田ボール 4 6 を形成する。次に、互いに隣接する半導体構成体 2 3 間において切断すると、半田ボール 4 6 を備えた半導体装置が複数個得られる。

【選択図】 図 1 7

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 5 4 6 9 5
受付番号	5 0 2 0 1 2 9 9 8 0 5
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 9 月 4 日

< 認定情報・付加情報 >

【提出日】 平成14年 8月30日

次頁無

特願 2 0 0 2 - 2 5 4 6 9 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 1 4 4 3 ]

1. 変更年月日

1 9 9 8 年 1 月 9 日

[変更理由]

住所変更

住 所

東京都渋谷区本町1丁目6番2号

氏 名

カシオ計算機株式会社